

**Code Debugger ユーザーズ・マニュアル別冊**

**プローブ技術資料**

H8 ファミリ編

---

H8/300H シリーズ	■ H8/3029F, H8/3048F-ONE
H8/300H Tiny シリーズ	■ H8/3664F, H8/3664N, H8/3684F, H8/3687F, H8/3694F, H8/36037F, H8/36049F H8/36057F, H8/36064GF, H8/36079F, H8/36087F, H8/36109F ■ H8/3670F, H8/36072F, H8/36014F, H8/36024F
H8/300L-SLP シリーズ	■ H8/38004, H8/38024

---

※ ご注意 ※

- ① 本書及びプログラムの内容の一部または、全部を無断で転載することは、プログラムのバックアップの場合を除き、禁止されています。
- ② 本書及びプログラムの内容に関しては、将来予告なしに変更することがあります。
- ③ 本書及びプログラムの内容について万全を期して作成いたしましたが、万一不審な点や誤り、記載もれなどお気づきことがありましたら弊社までご連絡下さい。
- ④ 本書及びプログラムを運用した結果の影響について③項にかかわらず責任を負いかねますので、御了承下さい。
- ⑤ 本製品（ハードウェア、ソフトウェア及び関連文書）は外国為替及び外国貿易管理法により規制されている戦略物資輸出既製品に該当する可能性があります。本製品を日本国外に持ち出す場合には、あらかじめご確認下さいますようお願いいたします。

Copyright (C) 2008ビットラン株式会社

## 1. 仕様

- ・対象 CPU : H8/3029F  
: H8/3048F-ONE (3V 又は 5V 単一電源方式の物)
- ・動作周波数 : CPU の動作周波数範囲
- ・対応動作モード : H8/3029F (モード 5, モード 7)  
: H8/3048F-ONE (モード 5, モード 6, モード 7)
- ・インターフェイス : ルネサステクノロジ E10T-USB 互換 UDI インターフェイス
- ・適用プローブ : DRP-01 本体専用 DRP-H8 (20pin UDI インターフェイス)  
: DH-1200 本体専用 DHC-SCI1 (20pin UDI インターフェイス)

## 2. コネクタのピン配置

表 1 にデバッガと接続するための、ユーザシステム側ピン配置表を示します。

表 1. UDI インターフェイス ピン配置表

ピン番号	信号名	入出力	H8/3029F, H8/3048F-ONE ピン番号 (FP-100B/TFP-100B)
1	#RES	入力	63
2	Vss	—	
3	FWE	入出力	10
4	Vss	—	
5	MD0	入力	73
6	Vss	—	
7	MD1	入力	74
8	Vss	—	
9	MD2	入力	75
10	Vss	—	
11	N.C	—	
12	Vss	—	
13	N.C	—	
14	Vss	—	
15	TxD1/P91	出力	13
16	Vss	—	
17	RxD1/P93	入力	15
18	Vcc	—	
19	#IRQ5/SCK1/P95	入力	17
20	Vcc	—	

- (注) 1. 入出力は CPU から見た方向を表します。  
2. Vss, Vcc はそれぞれユーザシステムの Vss, Vcc に接続して下さい。  
3. # 信号名は負論理を表しています。

推奨コネクタ型名

- 7620-6002PL (住友 3M)
- 7620-6002BL (住友 3M)
- HIF3FC-20PA-2.54DSA(71) (ヒロセ電機)

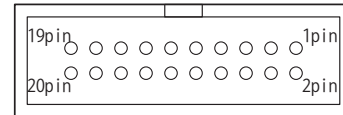


図 1. UDI コネクタ・ピン配置図

## 3. 接続参考図

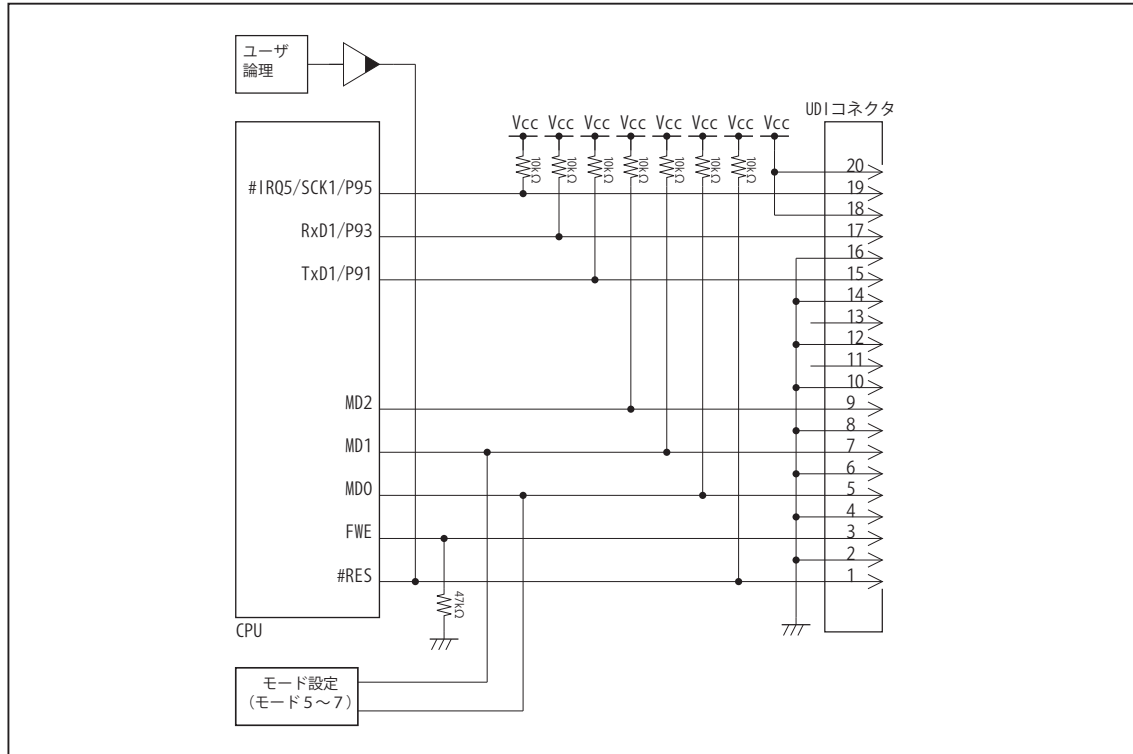


図2. UDI信号接続図

- 図2に記載されているプルアップ抵抗の値は参考値です。
- FWE端子に接続しているプルダウン抵抗の値は、必ず図2と同じ47kΩにして下さい。
- MDO～2の端子はデバッガ側でオープンコレクタ出力でドライブします。そのためMD端子のレベル設定はHighレベルはVccに直接つながらずプルアップ抵抗で設定して下さい。LowレベルはGNDへ直接接続して下さい。
- #RES端子はデバッガ側でオープンコレクタ出力でドライブします。ターゲット側の回路もそれに対応出来るように図2のようなオープンコレクタ出力などの回路にして下さい。
- CPUとUDIコネクタ間の配線長は出来る限り短くして下さい。

## 4. 使用上の注意・制限事項

(1) Code Debugger では CPU 内蔵 ROM 有効モードのみサポートしています。内蔵 ROM 無効モードはサポートしていません。

表 2. 動作モード

CPU	対応モード	対応不可モード
H8/3029F	5, 7	1, 2, 3, 4
H8/3048F-ONE	5, 6, 7	1, 2, 3, 4

(2) リフレッシュコントローラ、DMAC は動作させる事は出来ませんので、これらのレジスタは設定しないで下さい。

(3) デバッガの Break モード時は、WDT のタイマカウン트가停止します。また RUN モードに移行するときにカウンタ値がずれることがあります。

(4) FWE 端子、TxD1/P91、RxD1/P93、#IRQ5/SCK1/P95 端子はデバッガで占有するためユーザは使用することは出来ません。P9DDR レジスタを設定する場合は、P95.. 入力、P93.. 入力、P91.. 出力の設定にして下さい。

表 3. 使用出来ない端子機能

CPU	端子機能
H8/3029F	TxD1, RxD1, SCK1
H8/3048F-ONE	P91, P93, P95 #IRQ5 FWE

(5) 以下のアドレスはエミュレータが使用するためユーザはこの領域を使用する事が出来ません。

表 4. エミュレータ使用領域

CPU	アドレスモード	エミュレータ使用領域
H8/3029F	1M アドレスモード時	H'0F7000 ~ H'0F7FFF
	16M アドレスモード時	H'FF7000 ~ H'FF7FFF
H8/3048F-ONE	1M アドレスモード時	H'0F7000 ~ H'0F7FFF
	16M アドレスモード時	H'FF7000 ~ H'FF7FFF

(6) ハードウェアスタンバイモードはサポートしていません。これはデバッガからはマスク出来ないため CPU の制御が不能になるためです。

(7) ユーザプログラムでは内蔵 ROM の H'0 - H'0F 領域はプロگرامする事が出来ません。この領域の書込はデバッガの専用コマンドを使って下さい。

(8) 内蔵 ROM の H'14 - H'17 及び H'58 - H'5B はデバッガで使用しています。内蔵 ROM を書き替える際には H'00 を書き込んで下さい。

(9) デバッガは RUN、Break 時にユーザのスタックを利用しますので 2Word(4Byte) 分の余裕を持った値をセットして下さい。スタックの値が有効で無い場合、デバッガは正常動作しません。

(10) H8/3048F-ONE の場合、ハードウェアブレイクポイントを外部メモリ空間にセットする時、バス幅の情報をデバッガの設定ファイルに記述しないと正常にブレイク出来ない場合があります。バスの設定はブレイクポイントを使用するエリアが 8 ビットバス空間の時のみ必要で、各エリア毎に設定します。

設定ファイル

CodeStageCodeStage の場合	BITX-Neo の場合
<ul style="list-style-type: none"> <li>ワークスペースを使わない場合。 "CodeStage.INI" ファイルに記述</li> <li>ワークスペースを使う場合 拡張子 ".BWF" のワークスペースファイルに記述</li> </ul>	"BITXNEO.INI" ファイルに記述

<設定例 1> エリア 1 を外部 8 ビットバス空間とする場合。

```
[BSC]
abw1 = 1
```

<設定例 2> エリア 2 と 3 を外部 8 ビットバス空間とする場合。

```
[BSC]
abw2 = 1
abw3 = 1
```

※ abw0 ~ abw7 まで指定できる。  
※外部 8 ビットバス空間のエリアのみ =1 を指定する。

(11) RESET 処理のプログラムには、必ず MDCR レジスタを Read する命令を入れて下さい。

[プログラム例]

```
MDCR_PORT .EQU    h'00FFFFF1    ; CPU Mode 5 or 7
_reset_after:
    mov.L    #STACK_ADRS, r7
    mov.b    @MDCR_PORT, r0L
```

(12) CPU 内蔵 Flash の消去・書込を行っている間は、NMI 割込が入らないようにして下さい。

(13) WDT の RESET 出力を使用する場合、必ず RESET 処理プログラムの中で P9DDR レジスタの設定 (P95.. 入力、P93.. 入力、P91.. 出力) を行って下さい。

## 5. 改版履歴

- 第 6 版：2004.03/02 ・ UDI 信号接続図を追加
- 第 7 版：2004.06/15 ・ 使用上の注意・制限事項に (10) 項目を追加。
- 第 8 版：2004.08/30 ・ 使用上の注意・制限事項に (11), (12) 項目を追加。
- 第 9 版：2004.09/07 ・ 使用上の注意・制限事項に (13) 項目を追加。
- 第 10 版：2005.05/18 ・ H8/3029F の関連情報を追加。
- 第 11 版：2005.05/18 ・ 図 2.UDI 信号接続図に注意事項を追加。
- 第 12 版：2005.10/31 ・ 適用プローブに DRP-H8 を追加。
- 第 13 版：2008.06/20 ・ 図 2.UDI 信号接続図に注意事項を追加。
- 第 14 版：2010.02/08 ・ 使用上の注意・制限事項 (10) 項目を修正。

## 1. 仕様

- ・対象 CPU : 【POR, LVD オプション無し】  
CPU H8/3664F, H8/3664N, H8/3684F, H8/3687F, H8/3694F, H8/36037F, H8/36049F, H8/36057F, H8/36087F, H8/36109F  
【POR, LVD オプション付き CPU】  
H8/3684GF, H8/3687GF, H8/3694GF, H8/36037GF, H8/36049GF, H8/36057GF, H8/36064GF, H8/36079GF, H8/36079LF, H8/36109GF
- ・最高動作周波数 : 各 CPU の最高動作周波数まで
- ・インターフェイス : ルネサステクノロジ E8a 互換 H-UDI インターフェイス
- ・適用プローブ : DR-01 本体専用    DRP-H8 (14pin UDI インターフェイス)  
: DH-1200 本体専用    DHC-SCI4 (14pin UDI インターフェイス)

## 2. コネクタのピン配置

表1にデバッガと接続するための、ユーザシステム側ピン配置表を示します。

表1 UDI インターフェイス ピン配置表

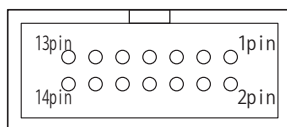
ピン番号	入出力	信号名	H8/36109(G)F		H8/36049(G)F	H8/3664F, H8/3664N H8/3684(G)F, H8/3687(G)F H8/3694F, H8/36037(G)F, H8/36057(G)F, H8/36064GF H8/36079(G/L)F, H8/36087F	H8/3664F, H8/3694F	H8/3664F
			FP-100A	FP-100U	FP-80A	FP-64E,A	FP-48F,B	DP-42S
1	入力	P87	21	18	14	43	33	35
2	—	Vss	—	—	—	—	—	—
3	—	N.C	—	—	—	—	—	—
4	—	Vss	—	—	—	—	—	—
5	出力	P86	22	19	15	42	32	34
6	—	Vss	—	—	—	—	—	—
7	入出力	#NMI	20	17	13	35	25	27
8	—	Vcc	—	—	—	—	—	—
9	—	N.C	—	—	—	—	—	—
10	—	Vss	—	—	—	—	—	—
11	入力	P85	23	20	16	41	31	33
12	—	Vss	—	—	—	—	—	—
13	入力	#RES	14	11	7	7	5	9
14	—	Vss	—	—	—	—	—	—

- (注) 1. 入出力は CPU から見た方向を表します。  
2. Vss, Vcc はそれぞれユーザシステムの Vss, Vcc に接続して下さい。  
3. # 信号名は負論理を表しています。

## 図1. UDI コネクタ・ピン配置図

推奨コネクタ型名

- 7614-6002PL (住友 3M)
- 7614-6002BL (住友 3M)
- HIF3FC-14PA-2.54DSA(71) (ヒロセ電機)



### 3. 使用上の注意・制限事項

- (1) UDI インターフェイスで使用する信号 (P87, P86, P85) はデバッガが占有しますのでユーザーは使用できません。ポート 8 の関連レジスタにアクセスする際は、次の点をご注意下さい。
- ・ PCR8 レジスタ  
このレジスタは書き込み専用ですので Byte 書き込みで設定します。  
この時、PCR85(bit5) ~ PCR87(bit7) は出力ポート (1) として下さい。
  - ・ PDR8 レジスタ  
このレジスタは Byte 書き込みや BIT 命令の使用が可能です。  
ただしデバッガで使用している P85(bit5) ~ P87(bit7) のビットは常に 1 になるようにして下さい。読み出しについては制限ありません。
- (2) NMI 端子、及び NMI ベクタはデバッガが使用しています。
- (3) #RES 端子からの入力 CPU Break 時マスクされています。デバッガ使用時「TARGET ERROR」が発生した場合は CPU の電源を入れ直してから CPU RESET コマンドで再起動させて下さい。
- (4) 内蔵 ROM エリア、RAM エリアの一部領域はデバッガが使用していますのでアクセスしないで下さい。(表 2 を参考)
- (5) デバッガは RUN、Break 時にユーザのスタックを利用しますので 2Word(4Byte) 分の余裕を持った値をセットして下さい。スタックの値が有効で無い場合、デバッガは RUN/Break 動作出来ません。
- (6) CPU Break 時、デバッガは SYSCR2 レジスタを退避、RUN の時に復帰させています。よって Break 中は SYSCR2 レジスタの変更を行わないで下さい。
- (7) 内蔵 ROM の書き換え回数が多くなると、消去・書込が行えなくなります。このときは新しい CPU と交換して下さい。

表 2 Code Debugger エミュレータ・プログラム占有領域

CPU	内蔵 ROM 領域	内蔵 RAM 領域
H8/3664F, H8/3664N H8/3694(G)F, H8/36064GF	H'0002 ~ H'0007, H'000E ~ H'000F, H'0018 ~ H'0019 H'7000 ~ H'7FFF	H'F780 ~ H'FB7F
H8/3684(G)F, H8/3687(G)F H8/36037(G)F, H8/36057(G)F H8/36087F	H'0002 ~ H'0007, H'000E ~ H'000F, H'0018 ~ H'0019 H'D000 ~ H'DFFF	H'F780 ~ H'FB7F
H8/36049(G)F	H'000004 ~ H'00000F, H'00001C ~ H'00001F H'000030 ~ H'000033, H'018000 ~ H'018FFF	H'FFF780 ~ H'FFFB7F
H8/36079(G/L)F H8/36109(G)F	H'000004 ~ H'00000F, H'00001C ~ H'00001F H'000030 ~ H'000033, H'01F000 ~ H'01FFFF	H'FFF780 ~ H'FFFB7F

## 4. 接続参考図

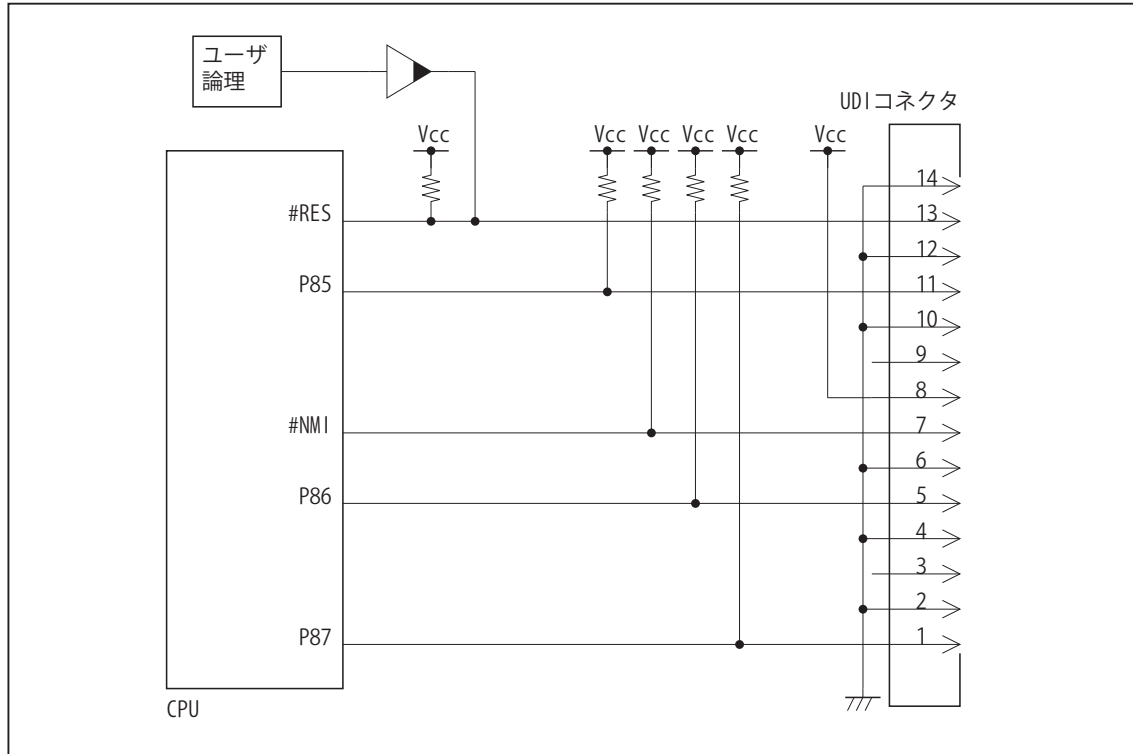


図2. UDI 信号接続図 (POR, LVD オプション無し CPU)

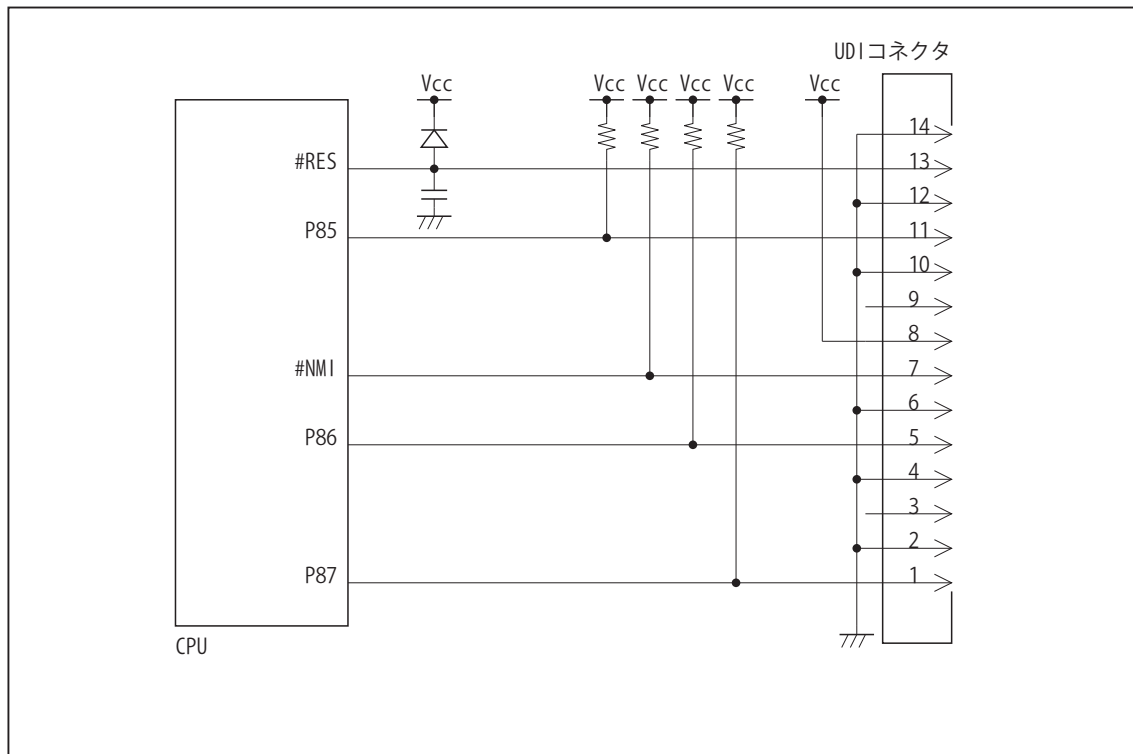


図3. UDI 信号接続図 (POR, LVD オプション付き CPU)

## 5. 改版履歴

- 第4版：2004,03/01 ・対象 CPU の追加... H8/3684F, H8/36037F, H8/36057F, H8/3684GF, H8/3687GF, H8/3694GF, H8/36037GF, H8/36057GF
- ・図2, 図3. UDI 信号接続図を追加
- 第5版：2005,01/25 ・対象 CPU の追加... H8/36049F, H8/36049GF
- 第6版：2005,10/11 ・対象 CPU の追加... H8/36064GF, H8/36087F
- 第7版：2005,10/31 ・適用プローブに DRP-H8 を追加。
- 第8版：2007,07/24 ・対象 CPU の追加... H8/36079GF, H8/36079LF
- 第9版：2008,10/30 ・対象 CPU の追加... H8/36109GF, H8/36109F
- ・互換インターフェイスを E8a に変更。
- 第10版：2010,02/08 ・使用上の注意・制限事項 (1) を修正。

## 1. 仕様

- ・対象 CPU : H8/3670F, H8/3672F, H8/36014F, H8/36024F (POR, LVD オプション無し CPU)  
H8/36014GF, H8/36024GF (POR, LVD オプション付き CPU)
- ・最高動作周波数 : 各 CPU の最高動作周波数まで
- ・インターフェイス : ルネサステクノロジ E8a 互換 H-UDI インターフェイス
- ・適用プローブ : DR-01 本体専用 DRP-H8 (14pin UDI インターフェイス)  
: DH-1200 本体専用 DHC-SCI4 (14pin UDI インターフェイス)

## 2. コネクタのピン配置

表1にデバッガと接続するための、ユーザシステム側ピン配置表を示します。

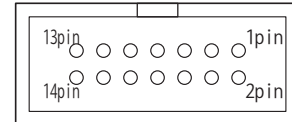
表1 UDI インターフェイス ピン配置表

ピン番号	入出力	信号名	H8/3670F, H8/3672F, H8/36014(G)F, H8/36024(G)F		
			FP-64E	FP-48F	DP-48B
1	入力	E10T_2	43	33	33
2	—	Vss	—	—	—
3	—	N.C	—	—	—
4	—	Vss	—	—	—
5	出力	E10_T1	42	32	32
6	—	Vss	—	—	—
7	入出力	#NMI	35	25	25
8	—	Vcc	—	—	—
9	—	N.C	—	—	—
10	—	Vss	—	—	—
11	入力	E10_T0	41	31	31
12	—	Vss	—	—	—
13	入力	#RES	7	5	5
14	—	Vss	—	—	—

図1. UDI コネクタ・ピン配置図

推奨コネクタ型名

- 7614-6002PL (住友 3M)
- 7614-6002BL (住友 3M)
- HIF3FC-14PA-2.54DSA(71) (ヒロセ電機)



- (注) 1. 入出力は CPU から見た方向を表します。  
2. Vss, Vcc はそれぞれユーザシステムの Vss, Vcc に接続して下さい。  
3. # 信号名は負論理を表しています。

## 3. 使用上の注意・制限事項

- (1) NMI 端子、及び NMI ベクタはデバッガが使用しています。
- (2) #RES 端子からの入力は CPU Break 時マスクされています。デバッガ使用時「TARGET ERROR」が発生した場合は CPU の電源を入れ直してから CPU RESET コマンドで再起動させて下さい。
- (3) 内蔵 ROM エリア、RAM エリアの一部領域はデバッガが使用していますのでアクセスしないで下さい。(表2を参考)
- (4) デバッガは RUN、Break 時にユーザのスタックを利用しますので 2Word(4Byte) 分の余裕を持った値をセットして下さい。スタックの値が有効で無い場合、デバッガは RUN/Break 動作出来ません。
- (5) CPU Break 時、デバッガは SYSCR2 レジスタを退避、RUN の時に復帰させています。よって Break 中は SYSCR2 レジスタの変更を行わないで下さい。
- (6) 内蔵 ROM の書き換え回数が多くなると、消去・書込が行えなくなります。このときは新しい CPU と交換して下さい。

表2 Code Debugger エミュレータ・プログラム占有領域

CPU	内蔵 ROM 領域	内蔵 RAM 領域
H8/3670F H8/3672F	H'0002 ~ H'0007, H'000E ~ H'000F, H'0018 ~ H'0019 H'4000 ~ H'4FFF	H'F780 ~ H'FB7F
H8/36014(G)F H8/36024(G)F	H'0002 ~ H'0007, H'000E ~ H'000F, H'0018 ~ H'0019 H'7000 ~ H'7FFF	H'F780 ~ H'FB7F

4. 接続参考図

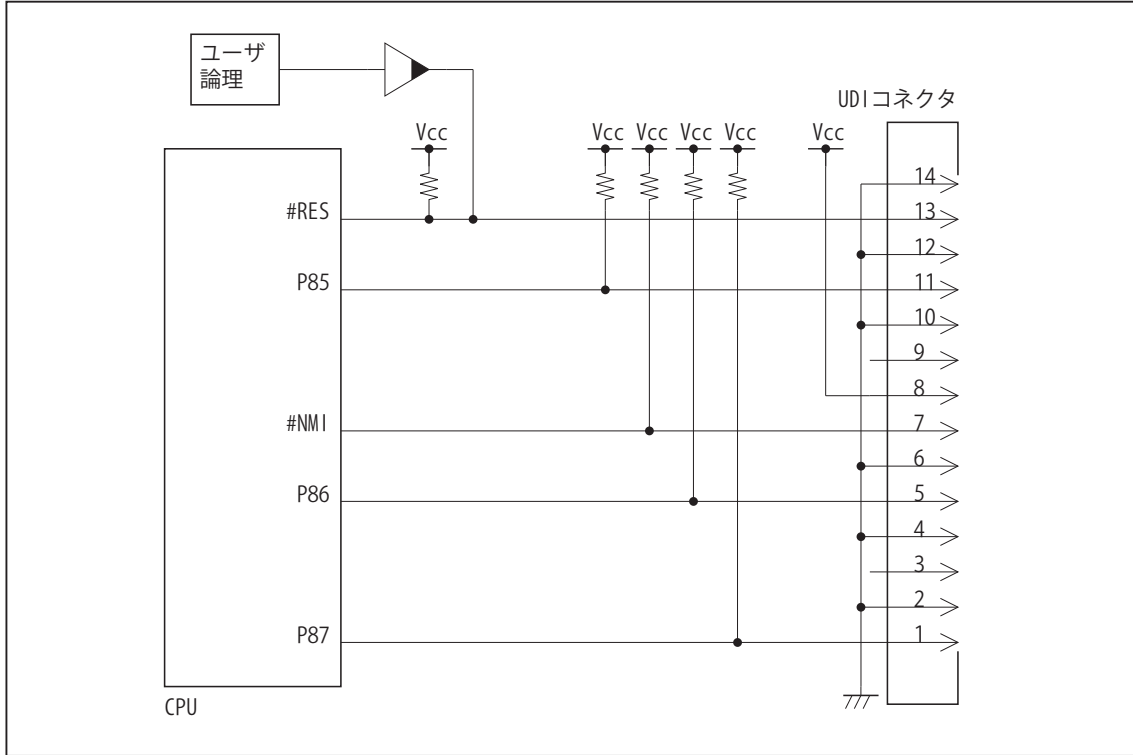


図2. UDI 信号接続図 (POR, LVD オプション無し CPU)

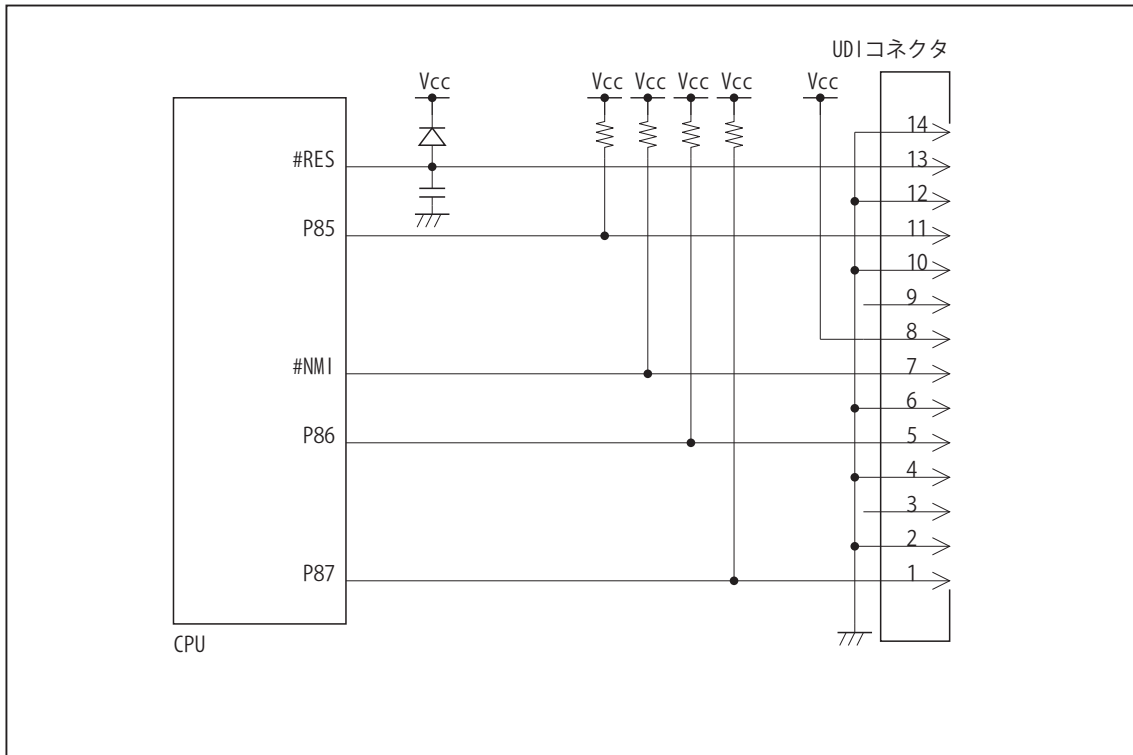


図3. UDI 信号接続図 (POR, LVD オプション付き CPU)

## 5. 改版履歴

- 第4版：2004.03/01 ・対象 CPU の追加... H8/3670F, H8/36014F, H8/36014GF  
・図2, 図3. UDI 信号接続図を追加
- 第5版：2005.10/11 ・対象 CPU の追加... H8/36024F, H8/36024GF
- 第6版：2005.10/31 ・適用プローブに DRP-H8 を追加。
- 第7版：2008.10/30 ・互換インターフェイスを E8a に変更。

## 1. 仕様

- ・対象 CPU : H8/38004F, H8/38024F
- ・最高動作周波数 : 各 CPU の最高動作周波数まで
- ・CPU 電源電圧 : 3.0V ~ 3.6V
- ・インターフェイス : ルネサステクノロジ E8a 互換 H-UDI インターフェイス
- ・適用プローブ : DR-01 本体専用    DRP-H8 (14pin UDI インターフェイス)  
: DH-1200 本体専用    DHC-SCI4 (14pin UDI インターフェイス)

## 2. コネクタのピン配置

表1にデバッグと接続するための、ユーザシステム側ピン配置表を示します。

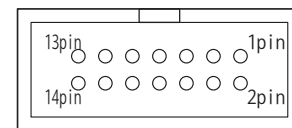
表1 UDI インターフェイス ピン配置表

ピン番号	入出力	信号名	H8/38004F	H8/38024F	
			FP-64E FP-64A	FP-80A, TFP-80C	FP-80B
1	入力	P33	11	64	66
2	—	Vss	—	—	—
3	—	N.C	—	—	—
4	—	Vss	—	—	—
5	出力	P35	13	66	68
6	—	Vss	—	—	—
7	入出力	P95	54	59	61
8	—	Vcc	—	—	—
9	—	N.C	—	—	—
10	—	Vss	—	—	—
11	入力	P34	12	65	67
12	—	Vss	—	—	—
13	入力	#RES	8	12	14
14	—	Vss	—	—	—

図1. UDI コネクタ・ピン配置図

推奨コネクタ型名

7614-6002PL (住友 3M)  
7614-6002BL (住友 3M)  
HIF3FC-14PA-2.54DSA(71) (ヒロセ電機)



- (注) 1. 入出力は CPU から見た方向を表します。  
2. Vss, Vcc はそれぞれユーザシステムの Vss, Vcc に接続して下さい。  
3. # 信号名は負論理を表しています。

## 3. 使用上の注意・制限事項

- (1) UDI インターフェイスで使用する信号 (P33, P34, P35, P95) はデバッグが占有しますのでユーザーは使用できません。
- (2) #RES 端子からの入力は CPU Break 時マスクされています。デバッグ使用時「TARGET ERROR」が発生した場合は CPU の電源を入れ直してから CPU RESET コマンドで再起動させて下さい。
- (3) 内蔵 ROM エリア、RAM エリアの一部領域はデバッグが使用していますのでアクセスしないで下さい。(表2を参考)
- (4) デバッグは RUN、Break 時にユーザのスタックを利用しますので 2Word(4Byte) 分の余裕を持った値をセットして下さい。スタックの値が有効で無い場合、デバッグは RUN/Break 動作出来ません。
- (5) CPU Break 時、デバッグは SYSCR1, SYSCR2 レジスタを退避、RUN の時に復帰させています。よって Break 中はこれらレジスタの変更を行わないで下さい。
- (6) 内蔵 ROM の書き換え回数が多くなると、消去・書込が行えなくなります。このときは新しい CPU と交換して下さい。

表2 Code Debugger エミュレータ・プログラム占有領域

CPU	内蔵 ROM 領域	内蔵 RAM 領域
H8/38004F, H8/38024F	H'0002 ~ H'0007, H'0014 ~ H'0015 H'7000 ~ H'7FFF	H'F780 ~ H'FB7F

## 4. 接続参考図

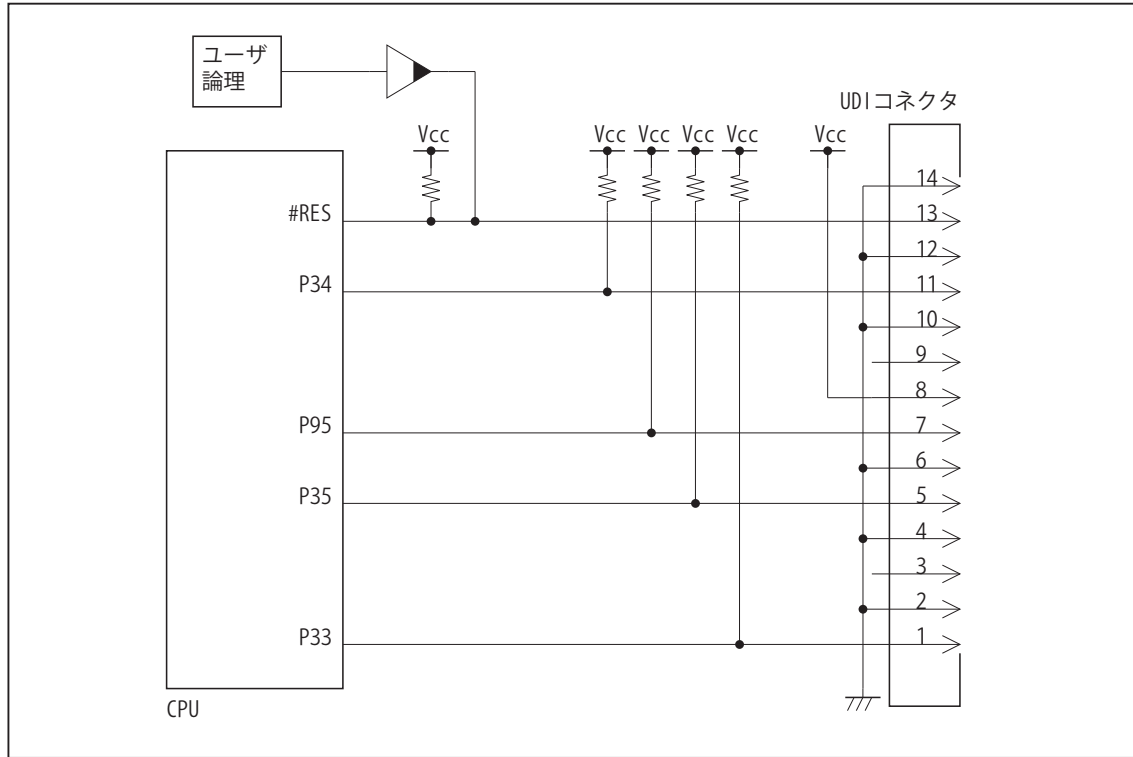


図2. UDI 信号接続図

## 5. 改版履歴

第1版：2003.03/01 ・初版

第2版：2005.10/31 ・適用プローブに DRP-H8 を追加。

第3版：2008.10/30 ・互換インターフェイスを E8a に変更。

---

Code Debugger ユーザーズ・マニュアル別冊  
プローブ技術資料  
H8 ファミリー編

発行年月日 2010年 2月 Rev3 発行

発行責任者 新井 一夫  
発行所 ビットラン株式会社  
〒 361-0056 埼玉県行田市持田 2213

---