

JTAG プローブ技術資料
ARM Classic プロセッサ編
&
JTAG/SWD プローブ技術資料
ARM Cortex プロセッサ編

※ ご注意 ※

- ① 本書及びプログラムの内容の一部または、全部を無断で転載することは、プログラムのバックアップの場合を除き、禁止されています。
- ② 本書及びプログラムの内容に関しては、本書発行時点のものであり将来予告なしに変更することがあります。
- ③ 当社の許可無く複製・改変などを行う事は出来ません。
- ④ 本書及びプログラムの内容について万全を期して作成いたしました但、誤りがない事を保証するものではありません。万一不審な点や誤り、記載漏れなどお気づきの点がありましたら弊社までご連絡下さい。
- ⑤ 本書及びプログラムを運用した結果の影響について前項④項にかかわらず責任を負いかねますので、御了承下さい。
- ⑥ 本製品、本書、または本資料に掲載されている技術情報を、大量破壊兵器の開発などの目的、軍事利用の目的、あるいはその他軍事用との目的で使用しないで下さい。また、輸出もしくは日本国の非居住者へ提供に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」など、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手順をおこなって下さい。
- ⑦ 当社製品を改造、改変、複製等しないで下さい。
- ⑧ 本書に記載された当社製品のご使用については、最大定格、動作電源電圧範囲、その他諸条件につきまして当社の保証範囲でご使用下さい。当社保証範囲を超えて使用された場合の故障及び事故については、当社は一切その責任を負えません。

Copyright (C) 2010-2015 BITRAN CORPORATION, All Rights Reserved.

— 目次 —

JTAG プローブ技術資料 ARM 編表紙	1
□ JTAG プローブ技術資料 ARM Classic プロセッサ編	4
■ ARM7, ARM9, ARM11	5
□ JTAG/SWD プローブ技術資料 ARM Cortex プロセッサ編	13
■ Cortex-A, Cortex-R, Cortex-M	14

JTAG プローブ技術資料 ARM Classic プロセッサ編

■ ARM7, ARM9, ARM11

1. 仕様

- ・対象 CPU タイプ : ARM7, ARM9, ARM11
- ・JTAG 動作周波数 : 1KHz ~ 60MHz 及び RTCK 追従対応
- ・JTAG 動作電圧 : DRP-ARM プローブ 1.65V ~ 5.5V
: DW-A1, DS-A1 本体 1.2V ~ 5.5V
- ・インターフェイス : ARM 製 Multi-ICE 互換 14pin / 20pin JTAG インターフェイス
- ・適用本体 : DW-A1
: DS-A1
- ・適用プローブ : DR-01 本体専用 DRP-ARM

2. コネクタのピン配置

表1, 表2 にデバッガと接続するための、ユーザシステム側ピン配置表を示します。

表1 20pin JTAG インターフェイス ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入力	2	Vsupply 【※1】	入力
3	nTRST	出力	4	GND	—
5	TDI	出力	6	GND	—
7	TMS	出力	8	GND	—
9	TCK	出力	10	GND	—
11	RTCK	入力	12	GND	—
13	TDO	入力	14	GND	—
15	nSRST	入出力	16	GND	—
17	DBGQRQ 【※2】	出力	18	GND	—
19	DBGACK 【※2】	入力	20	GND	—

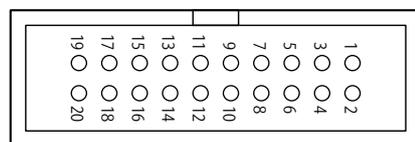
・入出力はデバッガ側から見た方向を表します。
 【※1】 本製品では使用していません。
 【※2】 将来のバージョンでは使用する可能性があります。現状では未使用です。

表2 14pin JTAG インターフェイス ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入力	2	GND	—
3	nTRST	出力	4	GND	—
5	TDI	出力	6	GND	—
7	TMS	出力	8	GND	—
9	TCK	出力	10	GND	—
11	TDO	入力	12	nSRST	入出力
13	Vsupply 【※1】	入力	14	GND	—

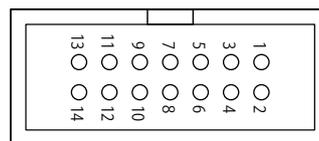
・入出力はデバッガ側から見た方向を表します。
 【※1】 本製品では使用していません。

図1. 20pin JTAG インターフェイス
 (基板実装面から見たピン配置図)



推奨コネクタ型名
 7620-6002PL (住友 3M)
 7620-6002BL (住友 3M)
 HIF3FC-20PA-2.54DSA(71) (ヒロセ電機株式会社)

図2. 14pin JTAG インターフェイス
 (基板実装面から見たピン配置図)



推奨コネクタ型名
 7614-6002PL (住友 3M)
 7614-6002BL (住友 3M)
 HIF3FC-14PA-2.54DSA(71) (ヒロセ電機株式会社)

表3 JTAG インターフェース 信号機能表

信号名	特性	説明
VTref	入力	JTAG 信号の入出力電圧レベルの判定に使用します。通常 CPU の I/O 電源電圧を直接接続します。
Vsupply	入力	通常デバッグ装置へ電源を供給するために使用するピンです。デバッグではこのピンは接続していません。本製品ではターゲットボード上で未接続になっていても影響ありませんが、他社デバッグ装置との互換性を考えて電源電圧と接続する事を推奨致します。
nTRST	出力	CPU の nTRST 端子と接続するピンでデバッグでは Open collector 出力です。ターゲットボード上の信号と WIRED OR 接続が可能ですがプルアップ抵抗を付けて下さい。DRP-ARM の内部回路では 1k Ω でプルアップ、DW-A1, DS-A1 では 10K Ω でプルアップされています。
TDI	出力	CPU の TDI 端子と接続するピンでデバッグでは Three-State 出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
TMS	出力	CPU の TMS 端子と接続するピンでデバッグでは Three-State 出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
TCK	出力	CPU の TCK 端子と接続するピンでデバッグでは Three-State 出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
RTCK	入力	TCK の出力周期を CPU クロックに同期させるために使用する入力ピンです。デバッグの環境設定で Adaptive を選択すると RTCK の変化に追従して TCK を出力します。このピンを利用すると CPU の動作クロックに応じて TCK の周波数を最適な状態にする事が出来ます。通常 CPU の RTCK 端子と接続しますが、この端子が無い CPU ではターゲットボード上に同期化回路を設けることにより同様の機能を実現する事が出来ます。この端子を利用しない場合は、GND 又は未接続にして下さい。ソフトマクロコア (ARM7TDMI-S, ARM9E-S など型名に -S が付く物) 使用時は、RTCK 端子の利用を強く推奨します。
TDO	入力	CPU の TDO 端子と接続する入力ピンです。
nSRST	入出力	ターゲット CPU をリセットするために使う Open collector 出力です。ターゲットボード上の信号と WIRED OR 接続が可能ですがプルアップ抵抗を付けて下さい。この信号は CPU のリセット状態をモニタする入力ピンとしても使用します。デバッグの内部回路では 47k Ω でプルアップされています。
DBGREQ	出力	デバッグでは使用していません。ターゲットボード上ではプルダウン抵抗を接続して下さい。
DBGACK	入力	デバッグでは使用していません。
GND		グラウンド信号。

- ・特性はデバッグ側から見た信号方向を表します。
- ・信号名の最初についている 'n' は負論理を表します。

3. 接続参考図

3-1. 20pin JTAG コネクタ接続例 1

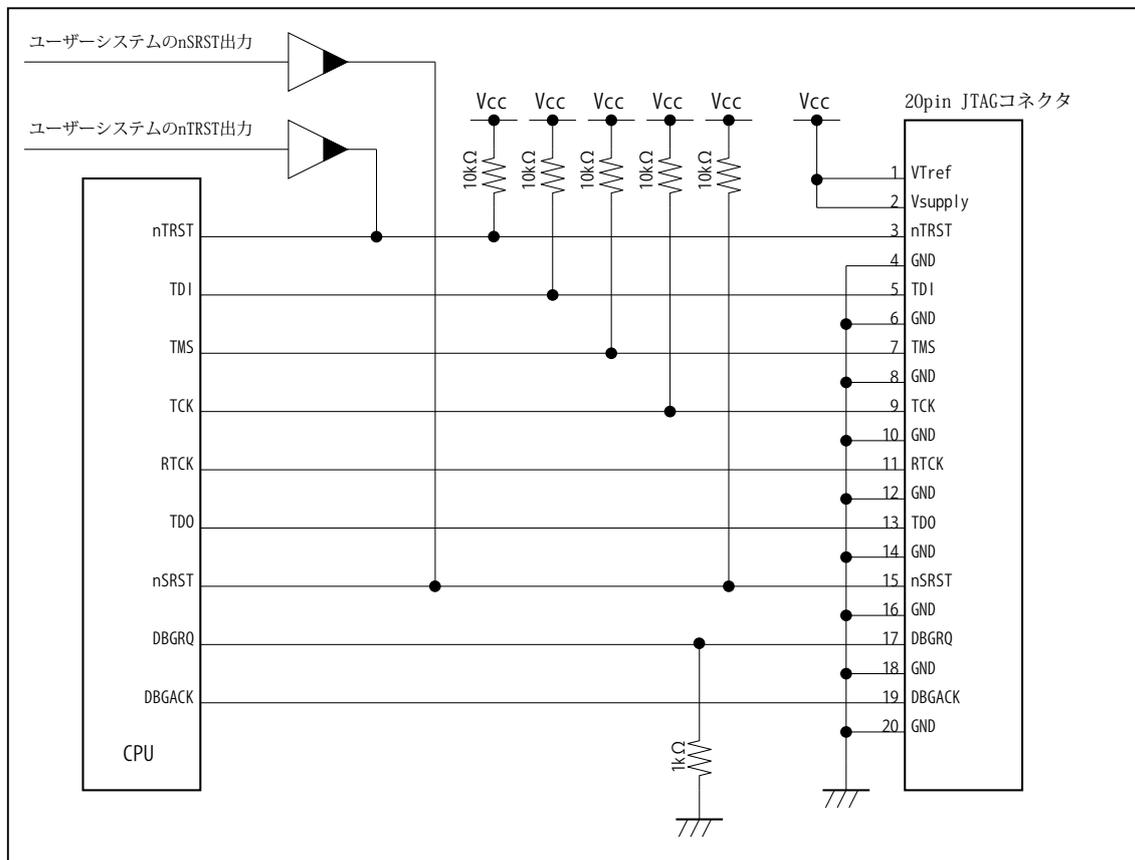


図 3. 20pin JTAG コネクタと RTCK 端子付き CPU との接続図

- CPU の端子名はチップにより表記が異なります。
- 図 3 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- CPU と JTAG コネクタ間の配線長はできるだけ短くして下さい。
- JTAG コネクタの 2 ピンはデバッグでは未接続でも問題ありませんが、他社 JTAG 製品と互換性を保つため VCC 接続にする事をお勧めします。
- DBGREQ, DBGACK 端子の無い CPU では、JTAG 側の接続ピンを解放状態にしても問題ありません。

3-2. 20pin JTAG コネクタの接続例 2

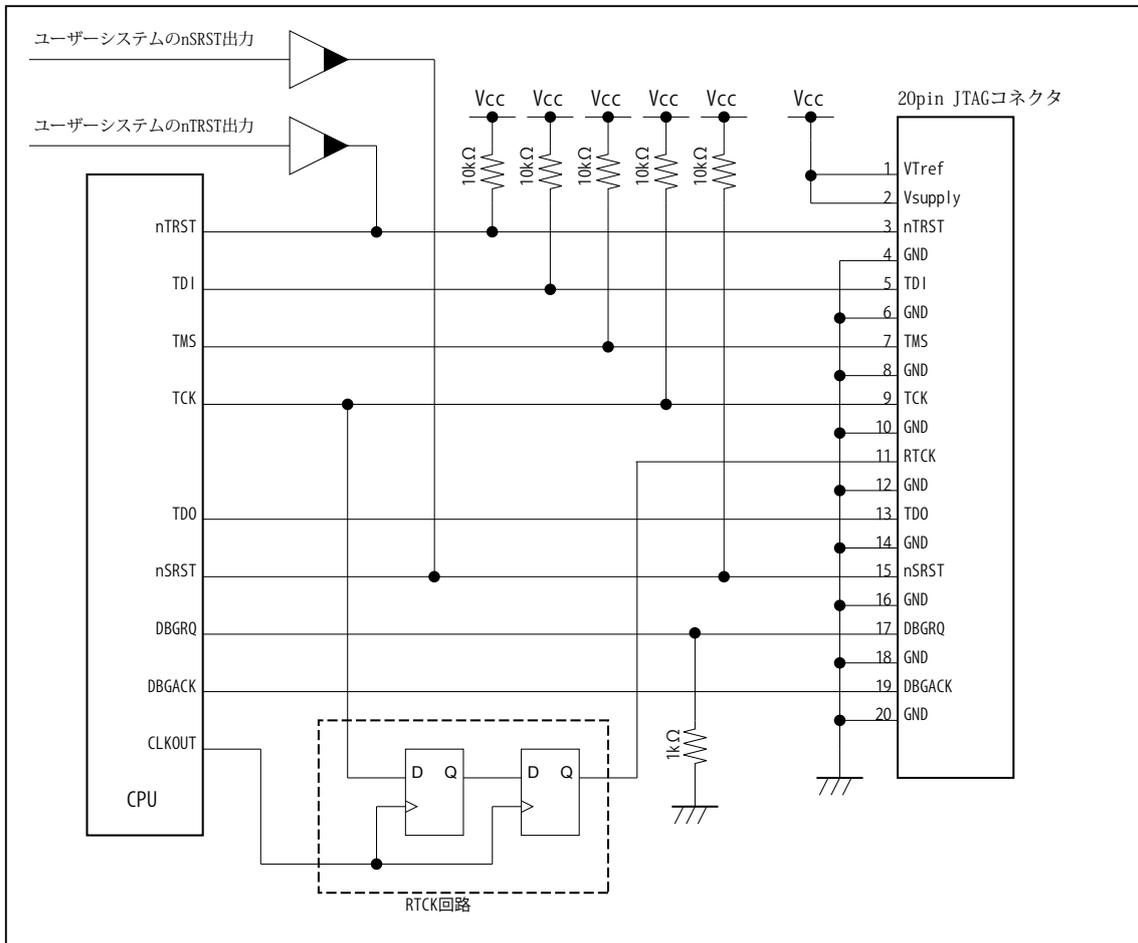


図 4. 20pin JTAG コネクタと RTCK 端子無し CPU との接続図

- CPU の端子名はチップにより表記が異なります。
- 図 4 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- CPU と JTAG コネクタ間の配線長はできるだけ短くして下さい。
- JTAG コネクタの 2 ピンはデバッガでは未接続でも問題ありませんが、他社 JTAG 製品と互換性を保つため VCC 接続にする事をお勧めします。
- DBGRQ, DBGACK 端子の無い CPU では、JTAG 側の接続ピンを解放状態にしても問題ありません。
- RTCK 端子の無い CPU では、図 4 の RTCK 回路を追加する事により同様の信号機能を作ることが出来ます。
- RTCK 端子の無い CPU では、JTAG 側の接続ピンを解放状態にしてもデバッガを使用することが出来ます。ただその場合 CPU clock の変化に合わせた TCK 周波数の最適化機能は使用出来ません。

3-3. 14pin JTAG コネクタの接続例

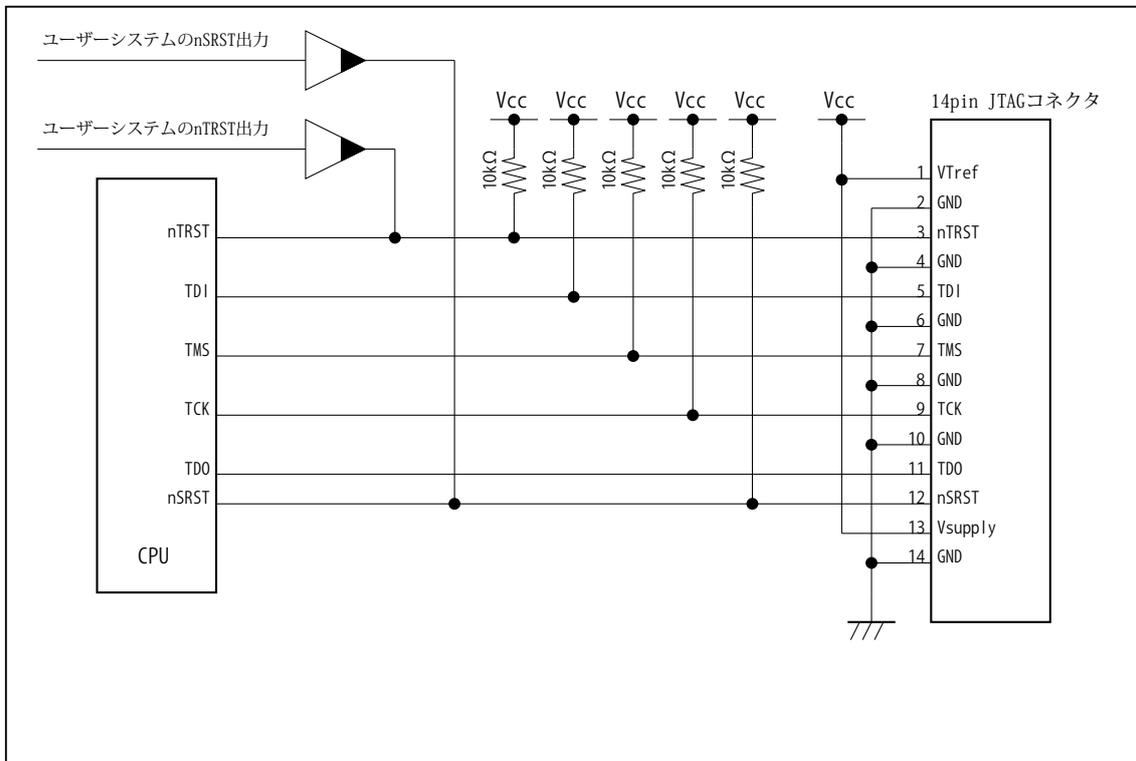


図 5. 14pin JTAG コネクタと CPU との接続図

- CPU の端子名はチップにより表記が異なります。
- 図 5 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- CPU と JTAG コネクタ間の配線長はできるだけ短くして下さい。
- JTAG コネクタの 13 ピンはデバッガでは未接続でも問題ありませんが、他社 JTAG 製品と互換性を保つため VCC 接続にする事をお勧めします。

4. 使用上の注意・制限事項

- (1) デバッガのプローブとターゲットを脱着する場合、かならず双方の電源を OFF にした状態で行って下さい。
- (2) 電源を入れる場合、最初にデバッガ本体、次にターゲットの順で行って下さい。
- (3) JTAG コネクタの GND 端子は全てターゲットの GND へ接続して下さい。未接続のピンがあると動作が不安定になる場合があります。
- (4) CPU が Break 状態の時、全ての割り込み要求は受け付ける事が出来ません。

5. 改版履歴

第1版: 2006. 12/20 初版

第2版: 2015. 2/10 適用本体に DW-A1, DS-A1 を追加

JTAG プローブ技術資料
ARM Classic プロセッサ編

発行年月日 2015 年 2 月 Rev3 発行

発行所 ビットラン株式会社
〒 361-0056 埼玉県行田市持田 2213
TEL 048-554-7471 (代)

JTAG/SWD プローブ技術資料 ARM Cortex プロセッサ編

■ Cortex-A, Cortex-R, Cortex-M

1. 仕様

- ・対象 CPU タイプ : Cortex-A, Cortex-R, Cortex-M
- ・JTAG 動作周波数 : 1KHz ~ 60MHz 及び RTCK 追従対応
- ・SWD 動作周波数 : 1KHz ~ 60MHz
- ・JTAG/SWD 動作電圧 : DM-A1 本体 1.65V ~ 5.5V
: DW-A1, DS-A1 本体 1.2V ~ 5.5V
- ・インターフェイス : 2.54mm ピッチ 20 ピン コネクタ
ハーフピッチ 1.27mm 20 ピンコネクタ【注1】
ハーフピッチ 1.27mm 10 ピンコネクタ【注2】
【注1】ハーフピッチ 1.27mm 20 ピンコネクタ変換ケーブル (型番: DSC-A1-AH20) はオプションです。
【注2】ハーフピッチ 1.27mm 10 ピンコネクタ変換ケーブル (型番: DSC-A1-AH10) はオプションです。
- ・適用本体 : DM-A1
; DW-A1
; DS-A1

2. 使用上の注意・制限事項

- (1) デバッガのプロブとターゲットを脱着する場合、かならず双方の電源を OFF にした状態で行ってください。
- (2) JTAG/SWD コネクタの GND 端子は全てターゲットの GND へ接続して下さい。未接続のピンがあると動作が不安定になる場合があります。
- (3) CPU がブレーク状態の時、全ての割り込み要求は受け付ける事が出来ません。
- (4) CPU のウォッチドッグタイマは、ブレーク中でも動作する物がありますので、デバッグ中は OFF にして下さい。
- (5) 電源を入れる場合、最初にデバッガ本体、次にターゲットの順で行ってください。

3. コネクタのピン配置と接続例

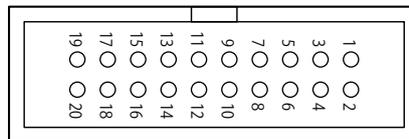
3-1. 20ピン 2.54mm ピッチ JTAG インターフェース

表 3-1 20ピン JTAG インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	TVDD【※1】	入出力
3	nTRST	出力	4	GND	—
5	TDI	出力	6	GND	—
7	TMS	出力	8	GND	—
9	TCK	出力	10	GND	—
11	RTCK	入力	12	GND	—
13	TDO	入力	14	GND	—
15	nSRST	入出力	16	GND	—
17	DBGQRQ【※1】	出力	18	GND	—
19	DBGACK【※1】	入力	20	GND	—

・入出力はデバッグ側から見た方向を表します。
 【※1】 本製品では使用していません。

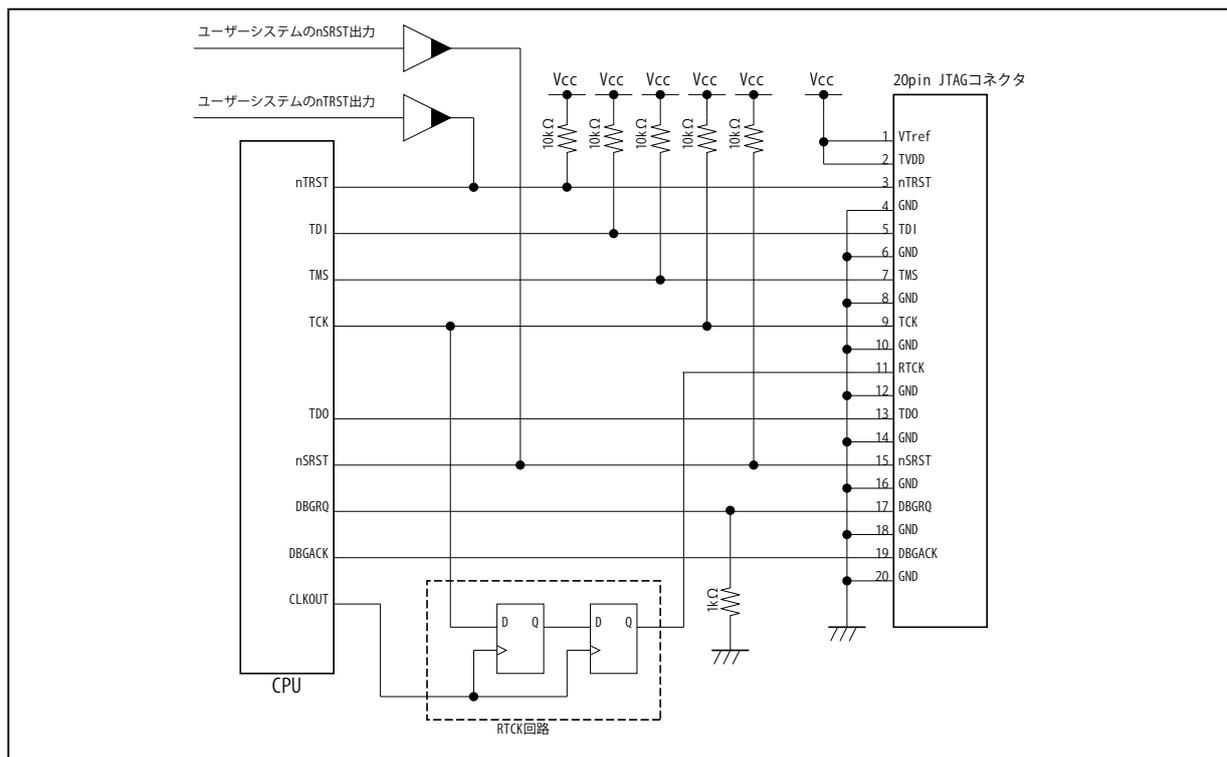
図 3-1. 20ピン JTAG インターフェース
 (基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
住友 3M	7620-6002PL
住友 3M	7620-6002BL
ヒロセ電機	HIF3FC-20PA-2.54DSA(71)
オムロン	XG4C-2031

図 3-2. 20ピン JTAG コネクタの接続例



- ・ CPU の端子名はチップにより表記が異なります。
- ・ 図 3-2 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・ CPU と JTAG コネクタ間の配線長はできるだけ短くして下さい。
- ・ JTAG コネクタの 2 ピンは未接続でも問題ありません。
- ・ DBGQRQ, DBGACK 端子の無い CPU では、JTAG 側の接続ピンを解放状態にしても問題ありません。
- ・ RTCK 端子の有る CPU では、図 3-2 の RTCK 回路を使わず JTAG コネクタの 11 ピンに直接配線して下さい。
- ・ RTCK 端子の無い CPU では、図 3-2 の RTCK 回路を追加する事により同様の信号機能を作る事が出来ます。
- ・ RTCK 端子の無い CPU では、JTAG 側の接続ピンを解放状態にしてもデバッグを使用する事が出来ます。ただその場合 CPU clock の変化に合わせて TCK 周波数の最適化機能は使用出来ません。

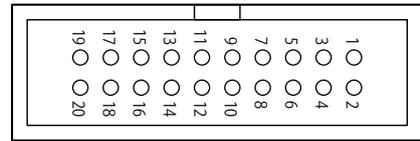
3-2. 20ピン 2.54mm ピッチ SWD インターフェース

表 3-2 20ピン SWD インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	TVDD【※1】	入出力
3	—	—	4	GND	—
5	—【※2】	—	6	GND	—
7	SWDIO	入出力	8	GND	—
9	SWCLK	出力	10	GND	—
11	—	—	12	GND	—
13	SWO	入力	14	GND	—
15	nSRST	入出力	16	GND	—
17	—	—	18	GND	—
19	—	—	20	GND	—

・入出力はデバッグ側から見た方向を表します。
 【※1】 本製品では使用していません。
 【※2】 未接続にしてください。

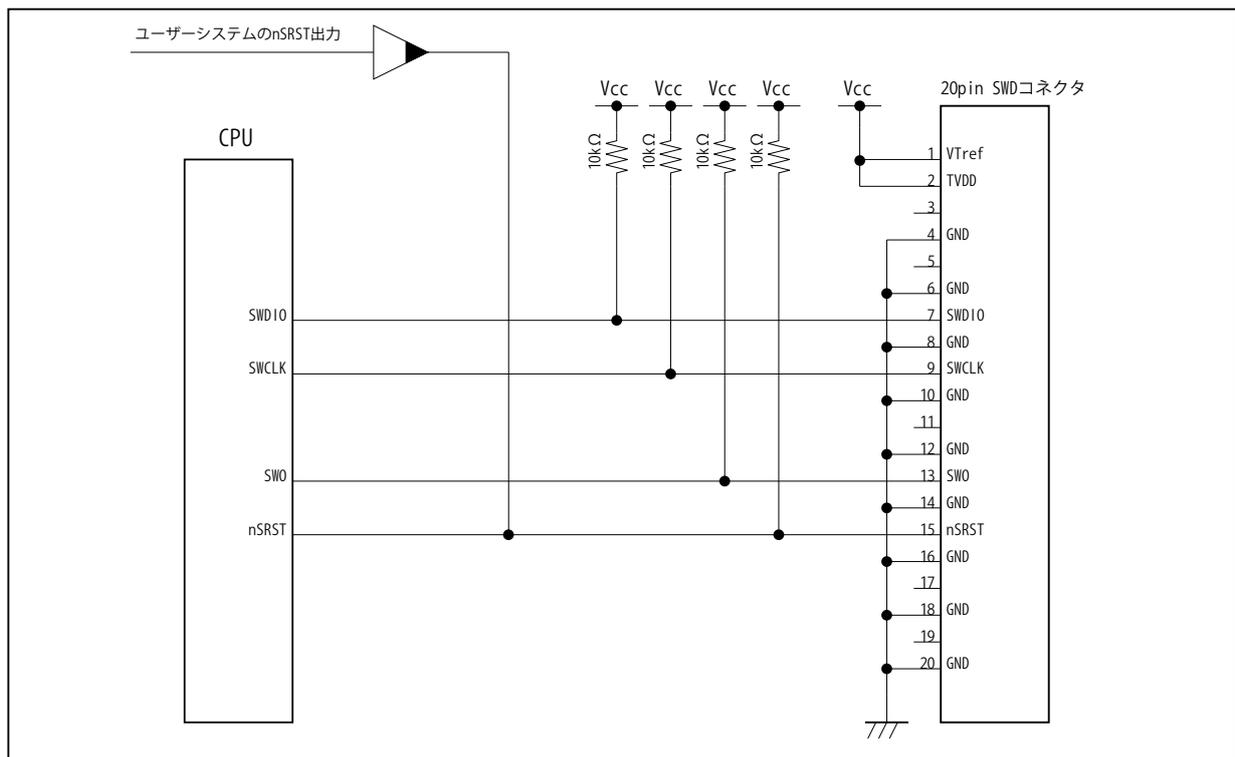
図 3-3. 20ピン SWD インターフェース
 (基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
住友 3M	7620-6002PL
住友 3M	7620-6002BL
ヒロセ電機	HIF3FC-20PA-2.54DSA(71)
オムロン	XG4C-2031

図 3-4. 20ピン SWD コネクタの接続例



- ・ CPU の端子名はチップにより表記が異なります。
- ・ 図 3-4 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・ CPU と SWD コネクタ間の配線長はできるだけ短くして下さい。
- ・ SWD コネクタの 2 ピンは未接続でも問題ありません。
- ・ 本インターフェイスでは nTRST を使用しません。CPU に nTRST 端子がある場合、抵抗によるプルアップ処理を行って下さい。

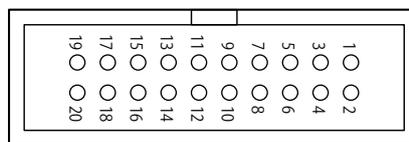
3-3. 20ピン 1.27mm ピッチ JTAG インターフェース

表 3-3 20ピン JTAG インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	TMS	入出力
3	GND	—	4	TCK	出力
5	GND	—	6	TDO	入力
7	Key	—	8	TDI	出力
9	GND	—	10	nSRST	入出力
11	GND	—	12	TraceClk【※ 1】	入力
13	GND	—	14	TraceD0【※ 1】	入力
15	GND	—	16	TraceD1【※ 1】	入力
17	GND	—	18	TraceD2【※ 1】	入力
19	GND	—	20	TraceD3【※ 1】	入力

・入出力はデバッグ側から見た方向を表します。
 【※ 1】 本製品では使用していません。

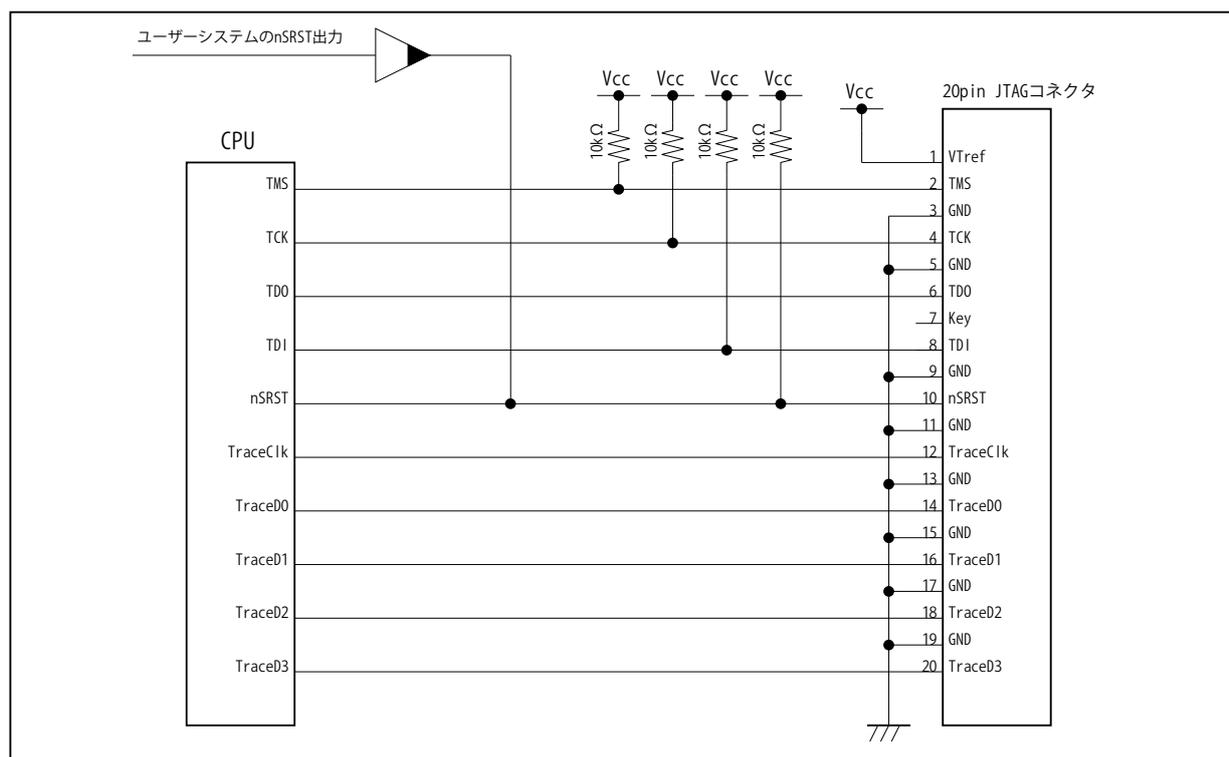
図 3-5. 20ピン JTAG インターフェース
 (基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-110-01-L-DV-K

図 3-6. 20ピン JTAG コネクタの接続例



- ・ CPU の端子名はチップにより表記が異なります。
- ・ 図 3-6 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・ CPU と JTAG コネクタ間の配線長はできるだけ短くして下さい。
- ・ 本インターフェイスでは nSRST を使用しません。CPU に nSRST 端子がある場合、抵抗によるプルアップ処理を行って下さい。
- ・ Trace 信号は本製品では使用していませんが、他の Trace 対応のデバッグで使用できるよう信号を接続しておく事を推奨します。

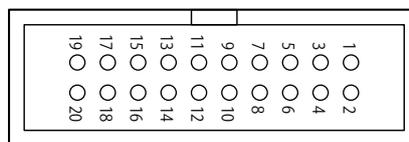
3-4. 20ピン 1.27mm ピッチ JTAG インターフェース

表 3-4 20ピン JTAG インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	TMS	入出力
3	GND	—	4	TCK	出力
5	GND	—	6	TDO	入力
7	Key	—	8	TDI	出力
9	GND	—	10	nSRST	入出力
11	GND	—	12	RTCK	入力
13	GND	—	14	—	入力
15	GND	—	16	nTRST	入力
17	GND	—	18	—	入力
19	GND	—	20	—	入力

・入出力はデバッグ側から見た方向を表します。

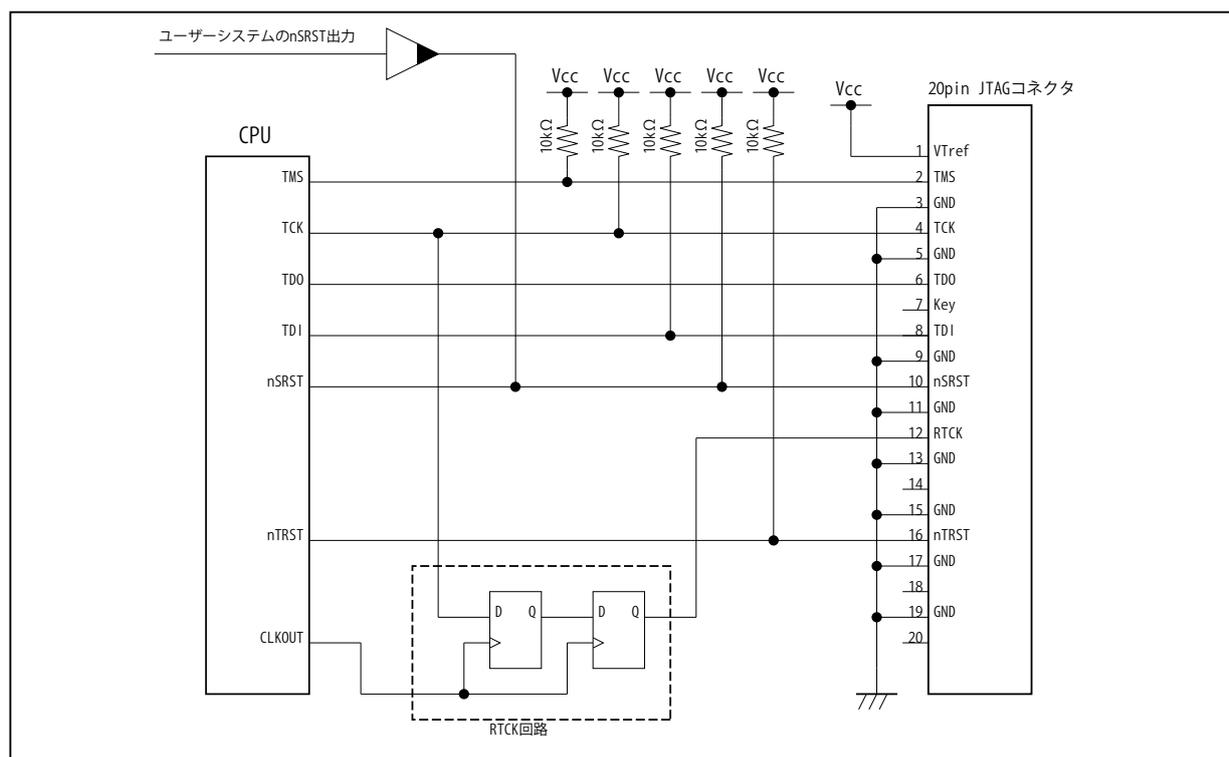
図 3-7. 20ピン JTAG インターフェース
(基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-110-01-L-DV-K

図 3-8. 20ピン JTAG コネクタの接続例



- ・ CPU の端子名はチップにより表記が異なります。
- ・ 図 3-8 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・ CPU と JTAG コネクタ間の配線長はできるだけ短くして下さい。
- ・ RTCK 端子の有る CPU では、図 5 の RTCK 回路を使わず JTAG コネクタの 12 ピンに直接配線して下さい。
- ・ RTCK 端子の無い CPU では、図 5 の RTCK 回路を追加する事により同様の信号機能を作る事が出来ます。
- ・ RTCK 端子の無い CPU では、JTAG 側の接続ピンを解放状態にしてもデバッグを使用する事が出来ます。ただその場合 CPU clock の変化に合わせた TCK 周波数の最適化機能は使用出来ません。

3-5. 20ピン 1.27mm ピッチ SWD インターフェース

表 3-5 20ピン SWD インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	SWDIO	入出力
3	GND	—	4	SWCLK	出力
5	GND	—	6	SWO	入力
7	Key	—	8	—【※1】	—
9	GND	—	10	nSRST	入出力
11	GND	—	12	TraceClk【※2】	入力
13	GND	—	14	TraceD0【※2】	入力
15	GND	—	16	TraceD1【※2】	入力
17	GND	—	18	TraceD2【※2】	入力
19	GND	—	20	TraceD3【※2】	入力

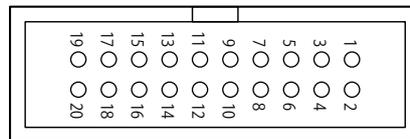
・入出力はデバッグ側から見た方向を表します。

【※1】 未接続にしてください。

【※2】 本製品では使用していません。

図 3-9. 20ピン SWD インターフェース

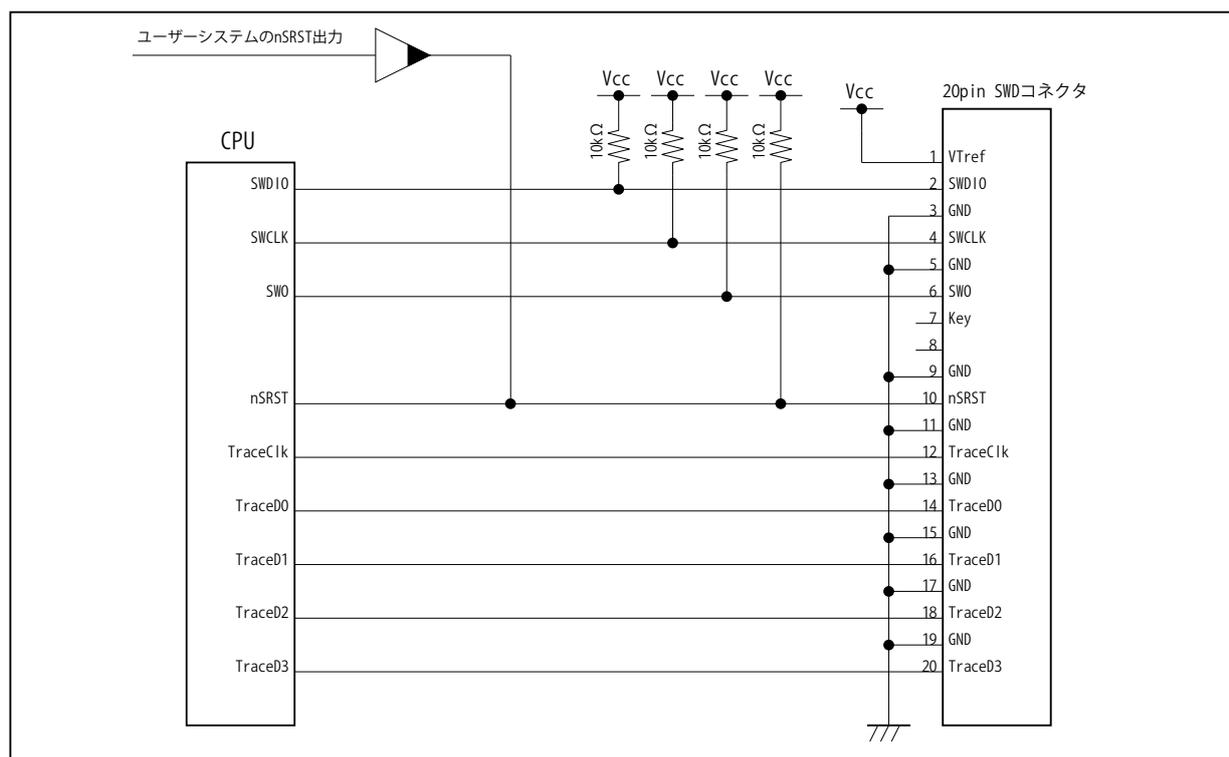
(基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-110-01-L-DV-K

図 3-10. 20ピン SWD コネクタの接続例



・CPUの端子名はチップにより表記が異なります。

・図 3-10 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。

・CPU と SWD コネクタ間の配線長はできるだけ短くして下さい。

・本インターフェイスでは nSRST を使用しません。CPU に nSRST 端子がある場合、抵抗によるプルアップ処理を行って下さい。

・Trace 信号は本製品では使用していませんが、他の Trace 対応のデバッグで使用できるよう信号を接続しておく事を推奨します。

3-6. 10ピン 1.27mm ピッチ JTAG インターフェース

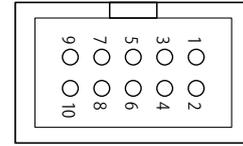
表 3-6 10ピン JTAG インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	TMS	入出力
3	GND	—	4	TCK	出力
5	GND	—	6	TDO	入力
7	Key	—	8	TDI	出力
9	GND	—	10	nSRST	入出力

・入出力はデバッグ側から見た方向を表します。

図 3-11. 10ピン JTAG インターフェース

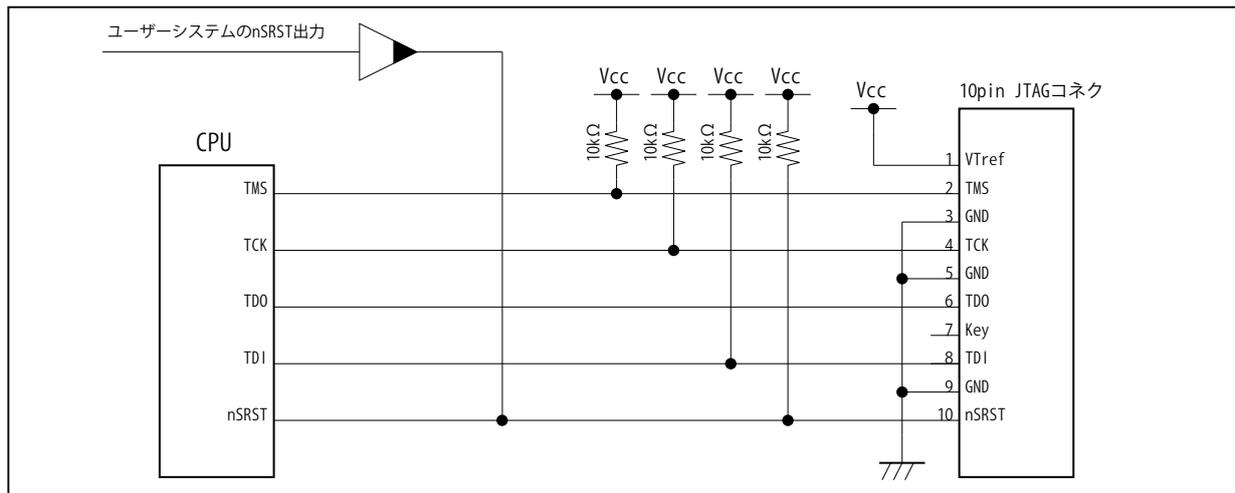
(基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-105-01-L-DV-K

図 3-12. 10ピン JTAG コネクタの接続例



- ・ CPU の端子名はチップにより表記が異なります。
- ・ 図 3-12 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・ CPU と JTAG コネクタ間の配線長はできるだけ短くして下さい。
- ・ 本インターフェイスでは nTRST を使用しません。CPU に nTRST 端子がある場合、抵抗によるプルアップ処理を行って下さい。

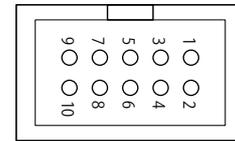
3-7. 10ピン 1.27mm ピッチ SWD インターフェース

表 3-7 10ピン SWD インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	Vtref	入出力	2	SWDIO	入出力
3	GND	—	4	SWCLK	出力
5	GND	—	6	SWO	入力
7	Key	—	8	—【※1】	—
9	GND	—	10	nSRST	入出力

・入出力はデバッグ側から見た方向を表します。
 【※1】 未接続にしてください。

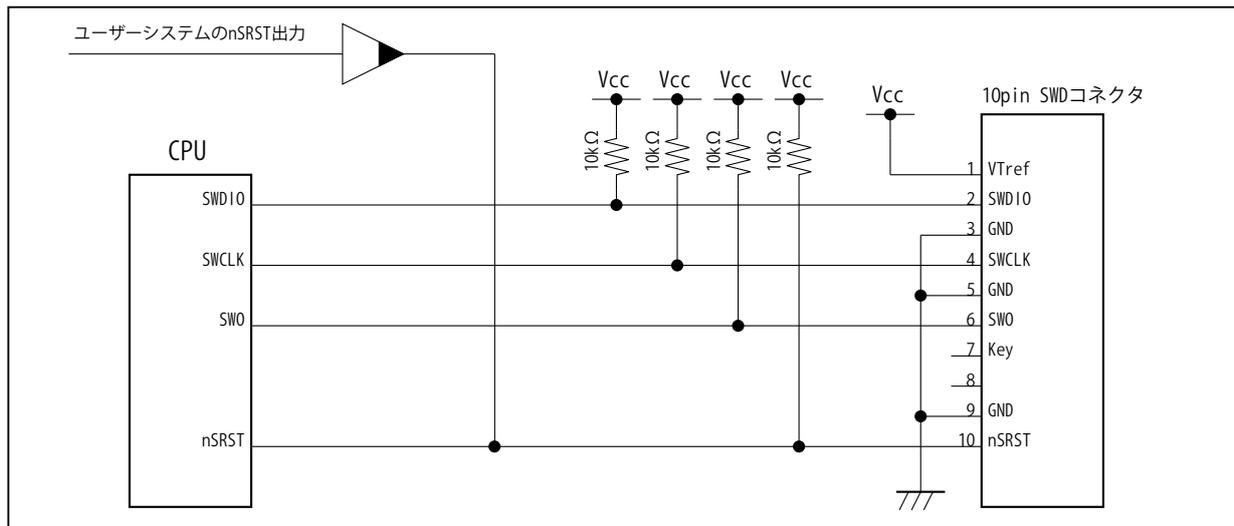
図 3-13. 10ピン SWD インターフェース
 (基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-105-01-L-DV-K

図 3-14. 10ピン SWD コネクタの接続例



- ・ CPU の端子名はチップにより表記が異なります。
- ・ 図 3-14 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・ CPU と SWD コネクタ間の配線長はできるだけ短くして下さい。
- ・ 本インターフェイスでは nTRST を使用しません。CPU に nTRST 端子がある場合、抵抗によるプルアップ処理を行って下さい。

4. JTAG/SWD インターフェイス信号機能

表 4-1 JTAG インターフェイス 信号機能表

信号名	特性	説明
VTref	入力	JTAG 信号の入出力電圧レベルの判定に使用します。通常 CPU の I/O 電源電圧を直接接続します。
TVDD	入力	通常デバッグ装置へ電源を供給するために使用するピンです。デバッグではこのピンは接続していません。本製品ではターゲットボード上で未接続になっていても影響ありませんが、他社デバッグ装置との互換性を考えて電源電圧と接続する事を推奨致します。
nTRST	出力	CPU の nTRST 端子と接続するピンで、デバッグでは Open collector または C-MOS 出力が選択可能です。Open collector 出力の場合、ターゲットボード上の信号と WIRED OR 接続が可能ですがプルアップ抵抗を付けて下さい。デバッグの内部回路では 10k Ω でプルアップされています。
TDI	出力	CPU の TDI 端子と接続するピンで、デバッグでは出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
TMS	出力	CPU の TMS 端子と接続するピンで、デバッグでは Three-State 出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
TCK	出力	CPU の TCK 端子と接続するピンで、デバッグでは Three-State 出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
RTCK	入力	TCK の出力周期を CPU クロックに同期させるために使用する入力ピンです。デバッグの環境設定で Adaptive を選択すると RTCK の変化に追従して TCK を出力します。このピンを利用すると CPU の動作クロックに応じて TCK の周波数を最適な状態にする事が出来ます。通常 CPU の RTCK 端と接続しますが、この端子が無い CPU ではターゲットボード上に同期化回路を設けることにより同様の機能を実現する事が出来ます。この端子を利用しない場合は、GND 又は未接続にして下さい。
TDO	入力	CPU の TDO 端子と接続する入力ピンです。
nSRST	入出力	ターゲット CPU をリセットするために使う Open collector 出力です。ターゲットボード上の信号と WIRED OR 接続が可能ですがプルアップ抵抗を付けて下さい。この信号は CPU のリセット状態をモニタする入力ピンとしても使用します。デバッグの内部回路では 47k Ω でプルアップされています。
DBGRRQ	出力	デバッグでは使用していません。ターゲットボード上ではプルダウン抵抗を接続して下さい。
DBGACK	入力	デバッグでは使用していません。
GND		グラウンド信号。

※入出力はデバッグ側から見た方向を表します。

※信号名の最初についでいる "n" は負論理を表します。

表 4-2 SWD インターフェース 信号機能表

信号名	特性	説明
VTref	入力	JTAG 信号の入出力電圧レベルの判定に使用します。通常 CPU の I/O 電源電圧を直接接続します。
SWDIO	入出力	CPU の SWDIO 端子と接続するピンで、デバグでは入力及び Three-State 出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
SWCLK	出力	CPU の TCK 端子と接続するピンで、デバグでは Three-State 出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
SWO	入力	CPU の SWO 端子と接続する入力ピンです。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
nSRST	入出力	ターゲット CPU をリセットするために使う Open collector 出力です。ターゲットボード上の信号と WIRED OR 接続が可能ですがプルアップ抵抗を付けて下さい。この信号は CPU のリセット状態をモニタする入力ピンとしても使用します。デバグの内部回路では 47k Ω でプルアップされています。
Key		コネクタ逆差し防止のキーです。デバグでは使用していません。
GND		グラウンド信号。

※入出力はデバグ側から見た方向を表します。

※信号名の最初についている "n" は負論理を表します。

5. 改版履歴

第1版：2010. 6/9 初版

第2版：2013. 3/15 適用本体に DW-A1, DS-A1 を追加。使用上の注意・制限事項に（5）を追加。

第3版：2015. 2/10 対応 CPU に Cortex-A シリーズと Cortex-R シリーズを追加。

JTAG/SWD プローブ技術資料
ARM Cortex プロセッサ編

発行年月日 2015 年 2 月 Rev3 発行

発行所 ビットラン株式会社
〒 361-0056 埼玉県行田市持田 2213
TEL 048-554-7471 (代)
