

JTAG/SWD プローブ技術資料

RZ ファミリ & R-IN Engine 編

※ ご注意 ※

- ① 本書及びプログラムの内容の一部または、全部を無断で転載することは、プログラムのバックアップの場合を除き、禁止されています。
- ② 本書及びプログラムの内容に関しては、本書発行時点のものであり将来予告なしに変更することがあります。
- ③ 当社の許可無く複製・改変などを行う事は出来ません。
- ④ 本書及びプログラムの内容について万全を期して作成いたしました但、誤りがない事を保証するものではありません。万一不審な点や誤り、記載漏れなどお気づきの点がありましたら弊社までご連絡下さい。
- ⑤ 本書及びプログラムを運用した結果の影響について前項④項にかかわらず責任を負いかねますので、御了承下さい。
- ⑥ 本製品、本書、または本資料に掲載されている技術情報を、大量破壊兵器の開発などの目的、軍事利用の目的、あるいはその他軍事用との目的で使用しないで下さい。また、輸出もしくは日本国の非居住者へ提供に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」など、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手順をおこなって下さい。
- ⑦ 当社製品を改造、改変、複製等しないで下さい。
- ⑧ 本書に記載された当社製品のご使用については、最大定格、動作電源電圧範囲、その他諸条件につきまして当社の保証範囲でご使用下さい。当社保証範囲を超えて使用された場合の故障及び事故については、当社は一切その責任を負えません。

Copyright (C) 2015 BITRAN CORPORATION, All Rights Reserved.

——目次——

JTAG/SWD プローブ技術資料	1
□ RZ/A シリーズ	4
■ RZ/A1H, RZ/A1L	4
□ RZ/T シリーズ	16
■ RZ/T1	16
□ R-IN32M3 シリーズ	28
■ R-IN32M3-CL, R-IN32M3-EC	28

□ RZ/A シリーズ

■ RZ/A1H, RZ/A1L

1. 仕様

- ・対象 CPU : RZ/A1H, RZ/A1L
- ・JTAG 動作周波数 : 1KHz ~ 60MHz 及び RTCK 追従対応
- ・SWD 動作周波数 : 1KHz ~ 60MHz
- ・JTAG/SWD 動作電圧 : DW-A1, DS-A1 本体 1.2V ~ 5.5V
- ・インターフェイス : 2.54mm ピッチ 20 ピン コネクタ
ハーフピッチ 1.27mm 20 ピンコネクタ【注1】
ハーフピッチ 1.27mm 10 ピンコネクタ【注2】
【注1】ハーフピッチ 1.27mm 20 ピンコネクタ変換ケーブル (型番: DSC-A1-AH20) はオプションです。
【注2】ハーフピッチ 1.27mm 10 ピンコネクタ変換ケーブル (型番: DSC-A1-AH10) はオプションです。
- ・適用本体 : DW-A1 本体
: DS-A1 本体

2. 使用上の注意・制限事項

- (1) デバッガとターゲットを脱着する場合、かならず双方の電源を OFF にした状態で行ってください。
- (2) JTAG/SWD コネクタの GND 端子は全てターゲットの GND へ接続して下さい。未接続のピンがあると動作が不安定になる場合があります。
- (3) CPU がブレーク状態の時、全ての割り込み要求は受け付ける事が出来ません。
- (4) CPU のウォッチドッグタイマは、ブレーク中でも動作する物がありますので、デバッグ中は OFF にして下さい。
- (5) 電源を入れる場合、最初にデバッガ本体、次にターゲットの順で行ってください。

3. コネクタのピン配置と接続例

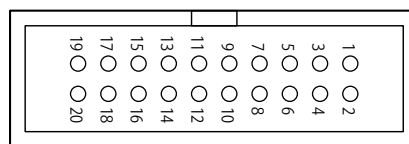
3-1. 20ピン 2.54mm ピッチ JTAG インターフェース

表 3-1 20ピン JTAG インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	TVDD【※1】	入出力
3	nTRST	出力	4	GND	—
5	TDI	出力	6	GND	—
7	TMS	出力	8	GND	—
9	TCK	出力	10	GND	—
11	RTCK	入力	12	GND	—
13	TDO	入力	14	GND	—
15	nSRST	入出力	16	GND	—
17	DBGQR【※1】	出力	18	GND	—
19	DBGACK【※1】	入力	20	GND	—

・入出力はデバッグ側から見た方向を表します。
 【※1】 本製品では使用していません。

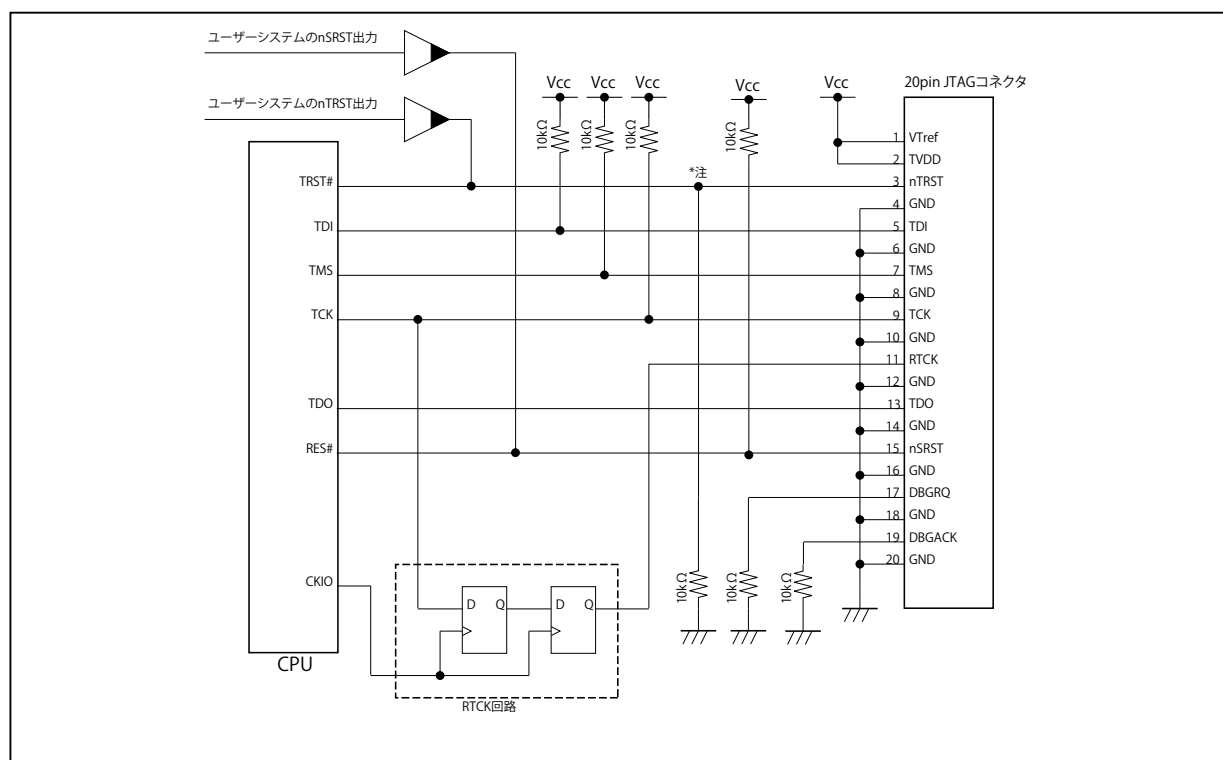
図 3-1. 20ピン JTAG インターフェース
 (基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
住友 3M	7620-6002PL
住友 3M	7620-6002BL
ヒロセ電機	HIF3FC-20PA-2.54DSA(71)
オムロン	XG4C-2031

図 3-2. 20ピン JTAG コネクタの接続例



- ・図 3-2 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・CPU と JTAG コネクタ間の配線長はできるだけ短くして下さい。
- ・JTAG コネクタの 2 ピンは未接続でも問題ありません。
- ・DBGQR, DBGACK 端子は JTAG 側の接続ピンを解放状態にしても問題ありません。
- ・RTCK 端子の無い CPU では、図 3-1 の RTCK 回路を追加する事により同様の信号機能を作る事が出来ます。
- ・RTCK 端子の無い CPU では、JTAG 側の接続ピンを解放状態にしてもデバッグを使用する事が出来ます。ただその場合 CPU clock の変化に合わせた TCK 周波数の最適化機能は使用出来ません。
- ・TRST をプルダウン処理とした場合、CodeStage の環境設定で「TRST の出力」を「CMOS」にする必要があります。また、他社のエミュレータでは、起動しないことがあるので、その場合はプルアップ処理として下さい。

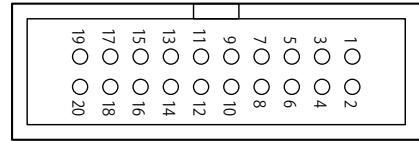
3-2. 20ピン 2.54mm ピッチ SWD インターフェース

表 3-2 20ピン SWD インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	TVDD【※1】	入出力
3	N.C.	—	4	GND	—
5	N.C.【※1】	—	6	GND	—
7	SWDIO	入出力	8	GND	—
9	SWCLK	出力	10	GND	—
11	N.C.	—	12	GND	—
13	SWO	入力	14	GND	—
15	nSRST	入出力	16	GND	—
17	N.C.	—	18	GND	—
19	N.C.	—	20	GND	—

・入出力はデバッグ側から見た方向を表します。
 【※1】 本製品では使用していません。
 【※2】 未接続にしてください。

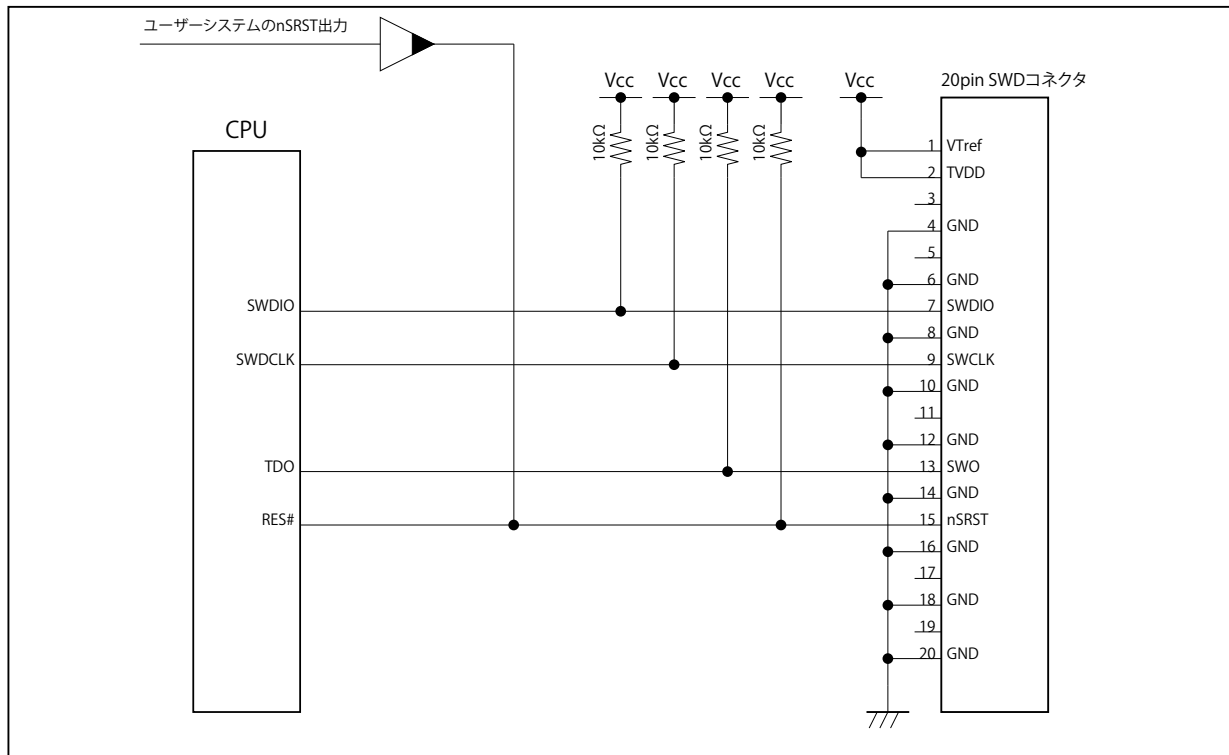
図 3-3. 20ピン SWD インターフェース
 (基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
住友 3M	7620-6002PL
住友 3M	7620-6002BL
ヒロセ電機	HIF3FC-20PA-2.54DSA(71)
オムロン	XG4C-2031

図 3-4. 20ピン SWD コネクタの接続例



- ・図 3-4 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・CPU と SWD コネクタ間の配線長はできるだけ短くして下さい。
- ・SWD コネクタの 2 ピンは未接続でも問題ありません。
- ・本インターフェイスでは TRST# を使用しません。デバッグ使用時は TRST# 端子が Hi レベルになるよう処理して下さい。

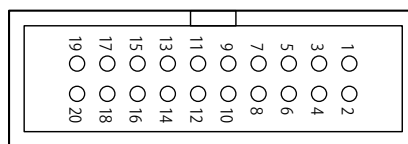
3-3. 20ピン 1.27mm ピッチ JTAG インターフェース

表 3-3 20ピン JTAG インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	TMS	入出力
3	GND	—	4	TCK	出力
5	GND	—	6	TDO	入力
7	Key	—	8	TDI	出力
9	GND	—	10	nSRST	入出力
11	N.C.	—	12	TraceClk 【※ 1】	入力
13	N.C.	—	14	TraceD0 【※ 1】	入力
15	GND	—	16	TraceD1 【※ 1】	入力
17	GND	—	18	TraceD2 【※ 1】	入力
19	GND	—	20	TraceD3 【※ 1】	入力

・入出力はデバッグ側から見た方向を表します。
 【※ 1】 本製品では使用していません。

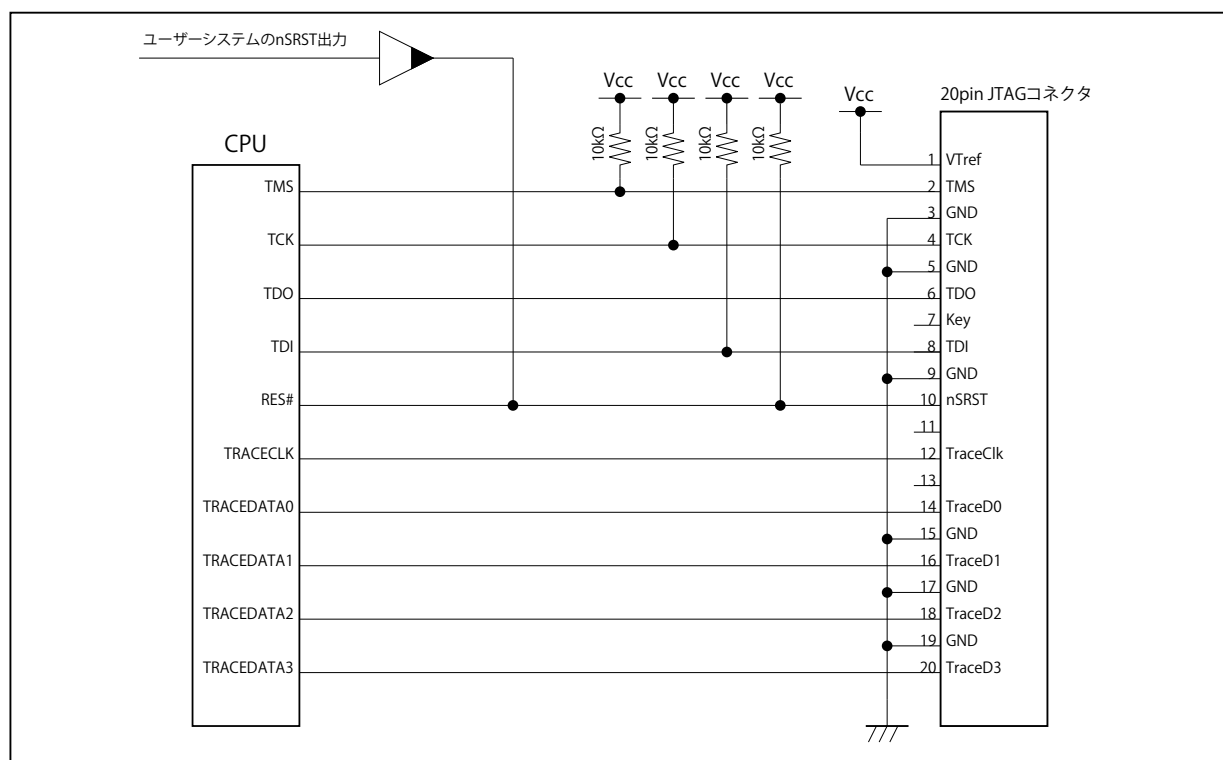
図 3-5. 20ピン JTAG インターフェース
 (基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-110-01-L-DV-K

図 3-6. 20ピン JTAG コネクタの接続例



- ・図 3-6 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・CPU と JTAG コネクタ間の配線長はできるだけ短くして下さい。
- ・本インターフェイスでは TRST# を使用しません。デバッグ使用時は TRST# 端子が Hi レベルになるよう処理して下さい。
- ・Trace 信号は本製品では使用していませんが、他の Trace 対応のデバッグで使用できるよう信号を接続しておく事を推奨します。

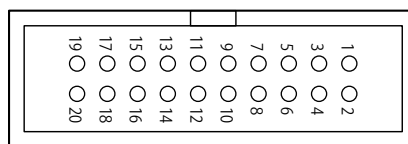
3-4. 20ピン 1.27mm ピッチ JTAG インターフェース

表 3-4 20ピン JTAG インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	TMS	入出力
3	GND	—	4	TCK	出力
5	GND	—	6	TDO	入力
7	Key	—	8	TDI	出力
9	GND	—	10	nSRST	入出力
11	GND	—	12	RTCK	入力
13	GND	—	14	N.C.	—
15	GND	—	16	nTRST	出力
17	GND	—	18	N.C.	—
19	GND	—	20	N.C.	—

・入出力はデバッグ側から見た方向を表します。

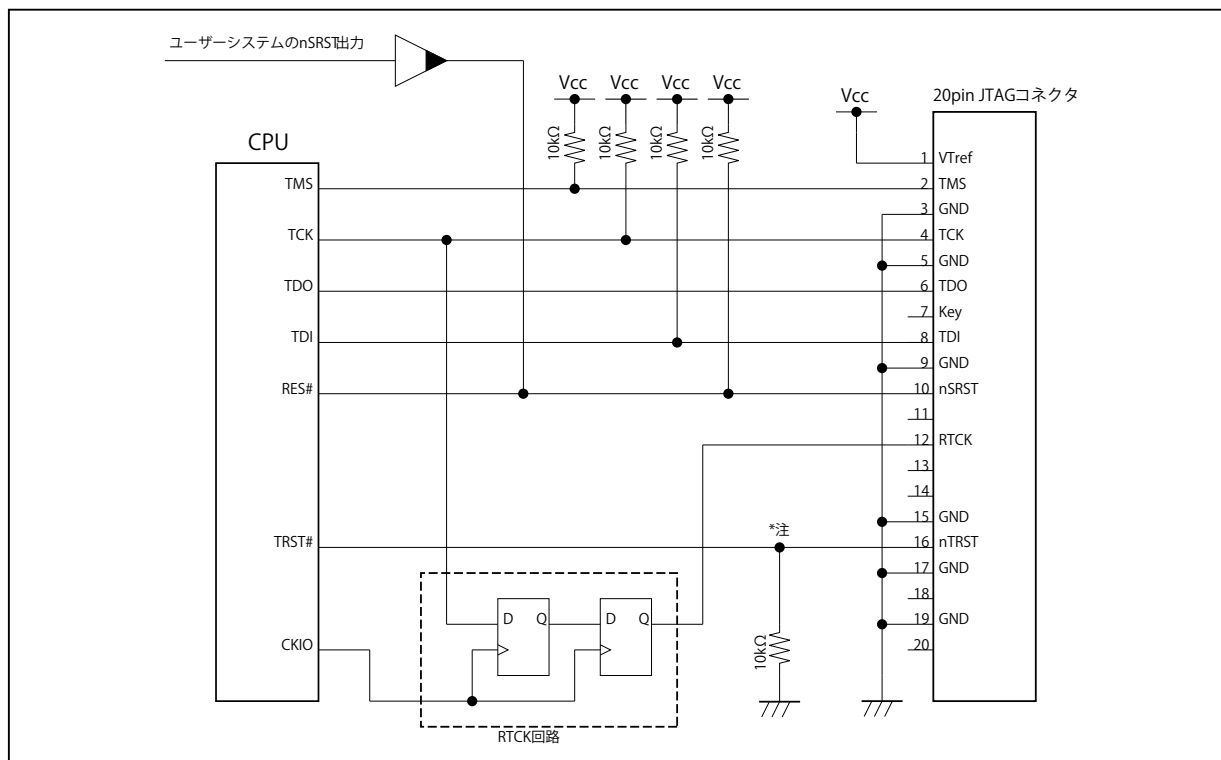
図 3-7. 20ピン JTAG インターフェース
(基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-110-01-L-DV-K

図 3-8. 20ピン JTAG コネクタの接続例



- ・図 3-8 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・CPU と JTAG コネクタ間の配線長はできるだけ短くして下さい。
- ・RTCK 端子の無い CPU では、図 3-1 の RTCK 回路を追加する事により同様の信号機能を作る事が出来ます。
- ・RTCK 端子の無い CPU では、JTAG 側の接続ピンを解放状態にしてもデバッグを使用する事が出来ます。ただその場合 CPU clock の変化に合わせた TCK 周波数の最適化機能は使用出来ません。
- ・TRST をプルダウン処理とした場合、CodeStage の環境設定で「TRST の出力」を「CMOS」にする必要があります。また、他社のエミュレータでは、起動しないことがあるので、その場合はプルアップ処理として下さい。

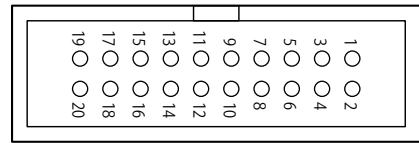
3-5. 20ピン 1.27mm ピッチ SWD インターフェース

表 3-5 20ピン SWD インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	SWDIO	入出力
3	GND	—	4	SWCLK	出力
5	GND	—	6	SWO	入力
7	Key	—	8	N.C.【※ 1】	—
9	GND	—	10	nSRST	入出力
11	GND	—	12	TraceClk【※ 2】	入力
13	GND	—	14	TraceD0【※ 2】	入力
15	GND	—	16	TraceD1【※ 2】	入力
17	GND	—	18	TraceD2【※ 2】	入力
19	GND	—	20	TraceD3【※ 2】	入力

・入出力はデバッグ側から見た方向を表します。
 【※ 1】 未接続にしてください。
 【※ 2】 本製品では使用していません。

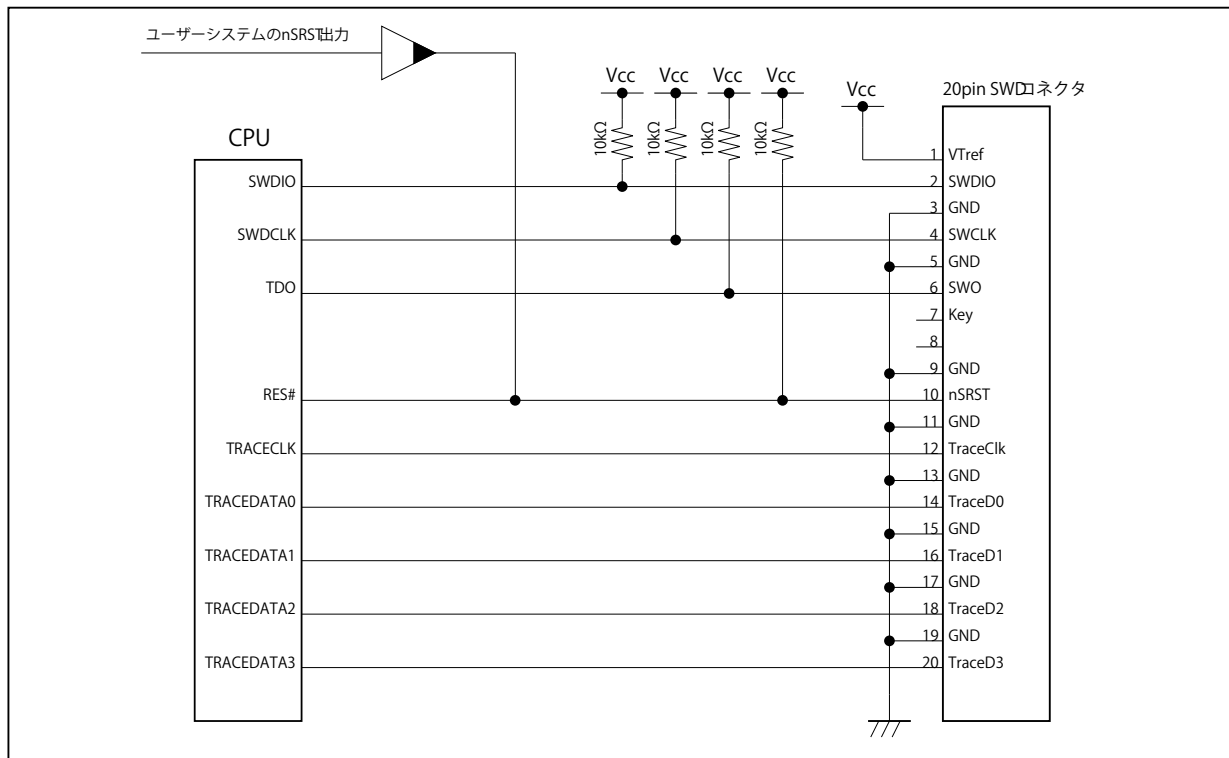
図 3-9. 20ピン SWD インターフェース
 (基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-110-01-L-DV-K

図 3-10. 20ピン SWD コネクタの接続例



- ・図 3-10 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・CPU と SWD コネクタ間の配線長はできるだけ短くして下さい。
- ・本インターフェイスでは TRST# を使用しません。デバッグ使用時は TRST# 端子が Hi レベルになるよう処理して下さい。
- ・Trace 信号は本製品では使用していませんが、他の Trace 対応のデバッグで使用できるよう信号を接続しておく事を推奨します。

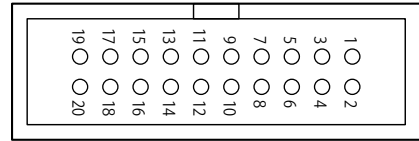
3-6. 20ピン 1.27mm ピッチ SWD インターフェース

表 3-6 20ピン SWD インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	SWDIO	入出力
3	GND	—	4	SWCLK	出力
5	GND	—	6	SWO	入力
7	Key	—	8	N.C.【※1】	—
9	GND	—	10	nSRST	入出力
11	GND	—	12	N.C.	—
13	GND	—	14	N.C.	—
15	GND	—	16	N.C.	—
17	GND	—	18	N.C.	—
19	GND	—	20	N.C.	—

・入出力はデバッグ側から見た方向を表します。
【※1】 未接続にしてください。

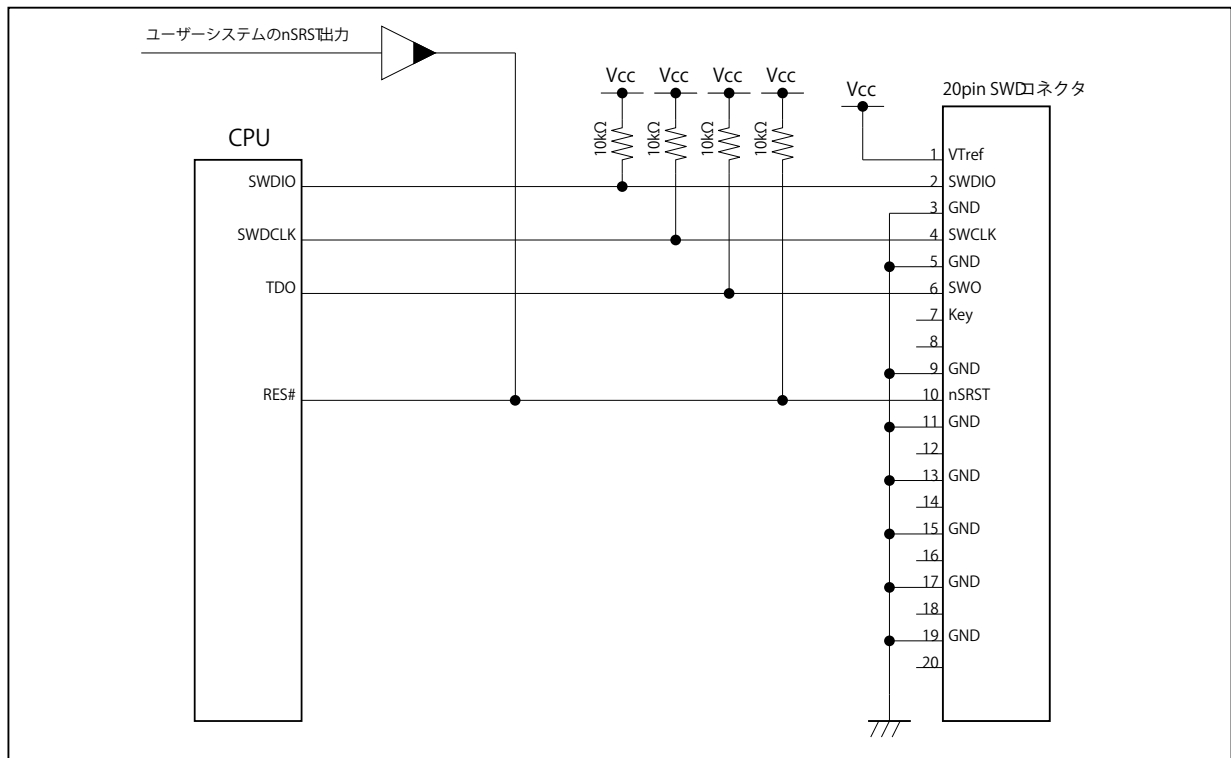
図 3-11. 20ピン SWD インターフェース
(基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-110-01-L-DV-K

図 3-12. 20ピン SWD コネクタの接続例



- ・図 3-12 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・CPU と SWD コネクタ間の配線長はできるだけ短くして下さい。
- ・本インターフェイスでは TRST# を使用しません。デバッグ使用時は TRST# 端子が Hi レベルになるよう処理して下さい。

3-7. 10ピン 1.27mm ピッチ JTAG インターフェース

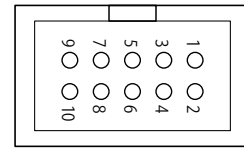
表 3-7 10ピン JTAG インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	TMS	入出力
3	GND	—	4	TCK	出力
5	GND	—	6	TDO	入力
7	Key	—	8	TDI	出力
9	GND	—	10	nSRST	入出力

・入出力はデバッガ側から見た方向を表します。

図 3-13. 10ピン JTAG インターフェース

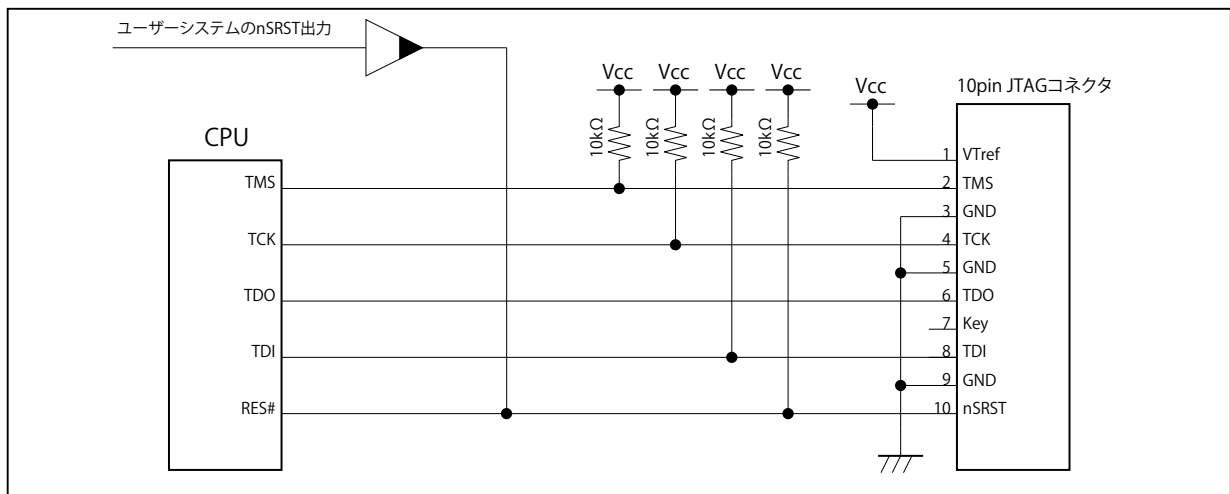
(基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-105-01-L-DV-K

図 3-14. 10ピン JTAG コネクタの接続例



- ・図 3-14 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・CPU と JTAG コネクタ間の配線長はできるだけ短くして下さい。
- ・本インターフェイスでは TRST# を使用しません。デバッガ使用時は TRST# 端子が Hi レベルになるよう処理して下さい。

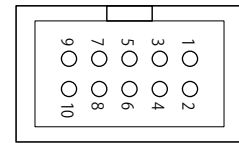
3-8. 10ピン 1.27mm ピッチ SWD インターフェース

表 3-8 10ピン SWD インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	SWDIO	入出力
3	GND	—	4	SWCLK	出力
5	GND	—	6	SWO	入力
7	Key	—	8	—【※1】	—
9	GND	—	10	nSRST	入出力

・入出力はデバッグ側から見た方向を表します。
 【※1】 未接続にしてください。

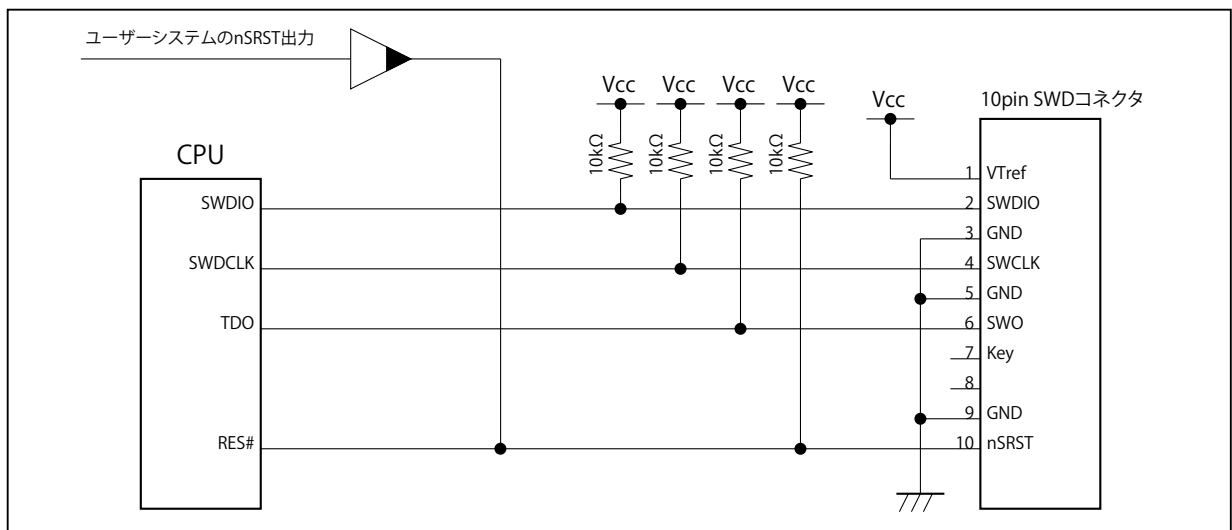
図 3-15. 10ピン SWD インターフェース
 (基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-105-01-L-DV-K

図 3-16. 10ピン SWD コネクタの接続例



- ・図 3-16 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・CPU と SWD コネクタ間の配線長はできるだけ短くして下さい。
- ・本インターフェイスでは TRST# を使用しません。デバッグ使用時は TRST# 端子が Hi レベルになるよう処理して下さい。

4. JTAG/SWD インターフェイス信号機能

表 4-1 JTAG インターフェイス 信号機能表

信号名	特性	説明
VTref	入力	JTAG 信号の入出力電圧レベルの判定に使用します。通常 CPU の I/O 電源電圧を直接接続します。
TVDD	入力	通常デバッグ装置へ電源を供給するために使用するピンです。デバッグではこのピンは接続していません。本製品ではターゲットボード上で未接続になっていても影響ありませんが、他社デバッグ装置との互換性を考えて電源電圧と接続する事を推奨致します。
nTRST	出力	CPU の nTRST 端子と接続するピンで、デバッグでは Open collector または C-MOS 出力が選択可能です。Open collector 出力の場合、ターゲットボード上の信号と WIRED OR 接続が可能ですがプルアップ抵抗を付けて下さい。デバッグの内部回路では 10k Ω でプルアップされています。
TDI	出力	CPU の TDI 端子と接続するピンで、デバッグでは出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
TMS	出力	CPU の TMS 端子と接続するピンで、デバッグでは Three-State 出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
TCK	出力	CPU の TCK 端子と接続するピンで、デバッグでは Three-State 出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
RTCK	入力	TCK の出力周期を CPU クロックに同期させるために使用する入力ピンです。デバッグの環境設定で Adaptive を選択すると RTCK の変化に追従して TCK を出力します。このピンを利用すると CPU の動作クロックに応じて TCK の周波数を最適な状態にする事が出来ます。通常 CPU の RTCK 端と接続しますが、この端子が無い CPU ではターゲットボード上に同期化回路を設けることにより同様の機能を実現する事が出来ます。この端子を利用しない場合は、GND 又は未接続にして下さい。
TDO	入力	CPU の TDO 端子と接続する入力ピンです。
nSRST	入出力	ターゲット CPU をリセットするために使う Open collector 出力です。ターゲットボード上の信号と WIRED OR 接続が可能ですがプルアップ抵抗を付けて下さい。この信号は CPU のリセット状態をモニタする入力ピンとしても使用します。デバッグの内部回路では 47k Ω でプルアップされています。
DBGRRQ	出力	デバッグでは使用していません。ターゲットボード上ではプルダウン抵抗を接続して下さい。
DBGACK	入力	デバッグでは使用していません。
GND		グラウンド信号。

※入出力はデバッグ側から見た方向を表します。

※信号名の最初についている "n" は負論理を表します。

表 4-2 SWD インターフェース 信号機能表

信号名	特性	説明
VTref	入力	JTAG 信号の入出力電圧レベルの判定に使用します。通常 CPU の I/O 電源電圧を直接接続します。
SWDIO	入出力	CPU の SWDIO 端子と接続するピンで、デバグでは入力及び Three-State 出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
SWCLK	出力	CPU の TCK 端子と接続するピンで、デバグでは Three-State 出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
SWO	入力	CPU の SWO 端子と接続する入力ピンです。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
nSRST	入出力	ターゲット CPU をリセットするために使う Open collector 出力です。ターゲットボード上の信号と WIRED OR 接続が可能ですがプルアップ抵抗を付けて下さい。この信号は CPU のリセット状態をモニタする入力ピンとしても使用します。デバグの内部回路では 47k Ω でプルアップされています。
Key		コネクタ逆差し防止のキーです。デバグでは使用していません。
GND		グラウンド信号。

※入出力はデバグ側から見た方向を表します。

※信号名の最初についている "n" は負論理を表します。

5. 改版履歴

第1版：2015. 1/7 初版

第2版：2015. 3/19 ・TRST の処理に説明文を追加

□ RZ/T シリーズ

■ RZ/T1

1. 仕様

- ・対象 CPU : RZ/T1
- ・JTAG 動作周波数 : 1KHz ~ 60MHz 及び RTCK 追従対応
- ・SWD 動作周波数 : 1KHz ~ 60MHz
- ・JTAG/SWD 動作電圧 : DW-A1, DS-A1 本体 1.2V ~ 5.5V
- ・インターフェイス : 2.54mm ピッチ 20 ピン コネクタ
ハーフピッチ 1.27mm 20 ピンコネクタ【注1】
ハーフピッチ 1.27mm 10 ピンコネクタ【注2】
【注1】ハーフピッチ 1.27mm 20 ピンコネクタ変換ケーブル (型番: DSC-A1-AH20) はオプションです。
【注2】ハーフピッチ 1.27mm 10 ピンコネクタ変換ケーブル (型番: DSC-A1-AH10) はオプションです。
- ・適用本体 : DW-A1 本体
: DS-A1 本体

2. 使用上の注意・制限事項

- (1) デバッガとターゲットを脱着する場合、かならず双方の電源を OFF にした状態で行ってください。
- (2) JTAG/SWD コネクタの GND 端子は全てターゲットの GND へ接続して下さい。未接続のピンがあると動作が不安定になる場合があります。
- (3) CPU がブレーク状態の時、全ての割り込み要求は受け付ける事が出来ません。
- (4) CPU のウォッチドッグタイマは、ブレーク中でも動作する物がありますので、デバッグ中は OFF にして下さい。
- (5) 電源を入れる場合、最初にデバッガ本体、次にターゲットの順で行ってください。

3. コネクタのピン配置と接続例

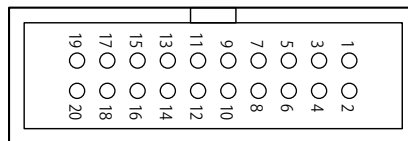
3-1. 20ピン 2.54mm ピッチ JTAG インターフェース

表 3-1 20ピン JTAG インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	TVDD【※1】	入出力
3	nTRST	出力	4	GND	—
5	TDI	出力	6	GND	—
7	TMS	出力	8	GND	—
9	TCK	出力	10	GND	—
11	RTCK	入力	12	GND	—
13	TDO	入力	14	GND	—
15	nSRST	入出力	16	GND	—
17	DBGQR【※1】	出力	18	GND	—
19	DBGACK【※1】	入力	20	GND	—

・入出力はデバッグ側から見た方向を表します。
 【※1】 本製品では使用していません。

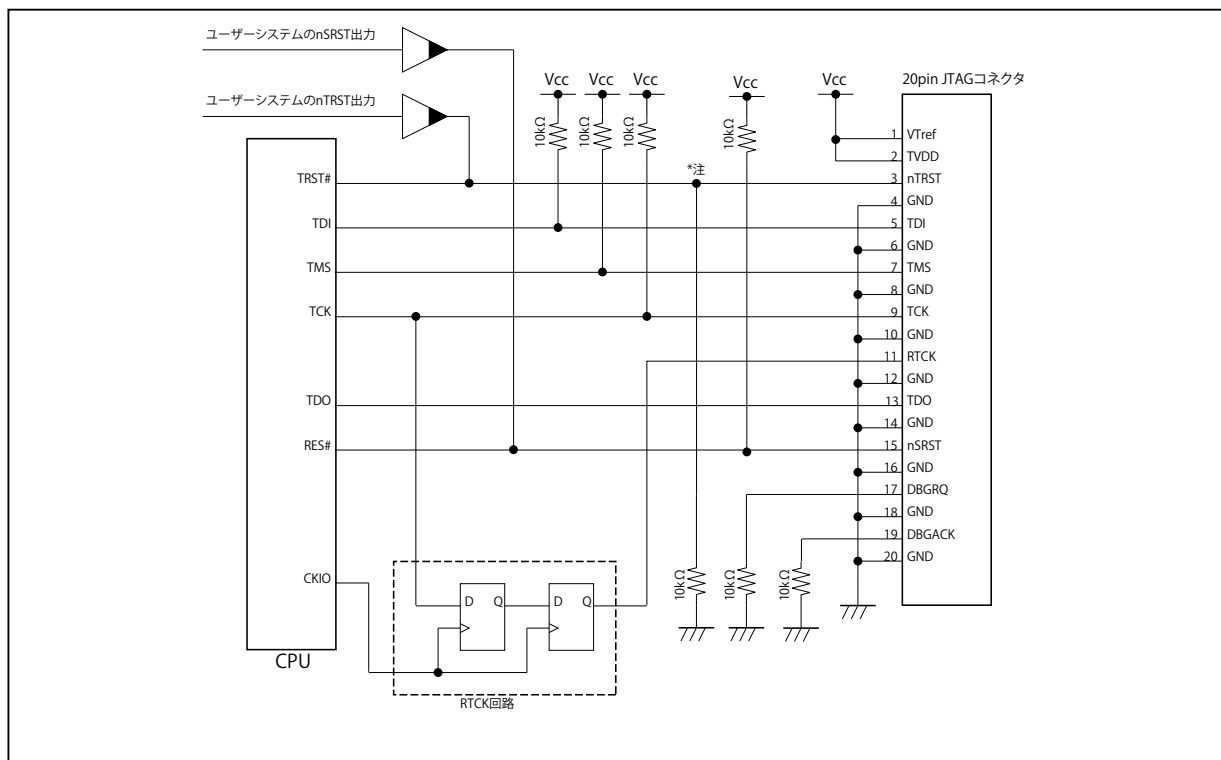
図 3-1. 20ピン JTAG インターフェース
 (基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
住友 3M	7620-6002PL
住友 3M	7620-6002BL
ヒロセ電機	HIF3FC-20PA-2.54DSA(71)
オムロン	XG4C-2031

図 3-2. 20ピン JTAG コネクタの接続例



- ・図 3-2 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・CPU と JTAG コネクタ間の配線長はできるだけ短くして下さい。
- ・JTAG コネクタの 2 ピンは未接続でも問題ありません。
- ・DBGQR, DBGACK 端子は JTAG 側の接続ピンを解放状態にしても問題ありません。
- ・RTCK 端子の無い CPU では、図 3-1 の RTCK 回路を追加する事により同様の信号機能を作る事が出来ます。
- ・RTCK 端子の無い CPU では、JTAG 側の接続ピンを解放状態にしてもデバッグを使用する事が出来ます。ただその場合 CPU clock の変化に合わせた TCK 周波数の最適化機能は使用出来ません。
- ・TRST をプルダウン処理とした場合、CodeStage の環境設定で「TRST の出力」を「CMOS」にする必要があります。また、他社のエミュレータでは、起動しないことがあるので、その場合はプルアップ処理として下さい。

3-2. 20ピン 2.54mmピッチ SWD インターフェース

表 3-2 20ピン SWD インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	TVDD【※1】	入出力
3	N.C.	—	4	GND	—
5	N.C.【※1】	—	6	GND	—
7	SWDIO	入出力	8	GND	—
9	SWCLK	出力	10	GND	—
11	N.C.	—	12	GND	—
13	SWO	入力	14	GND	—
15	nSRST	入出力	16	GND	—
17	N.C.	—	18	GND	—
19	N.C.	—	20	GND	—

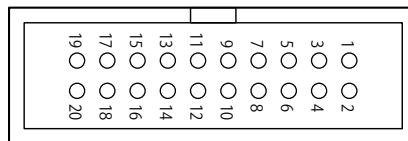
・入出力はデバッグ側から見た方向を表します。

【※1】 本製品では使用していません。

【※2】 未接続にしてください。

図 3-3. 20ピン SWD インターフェース

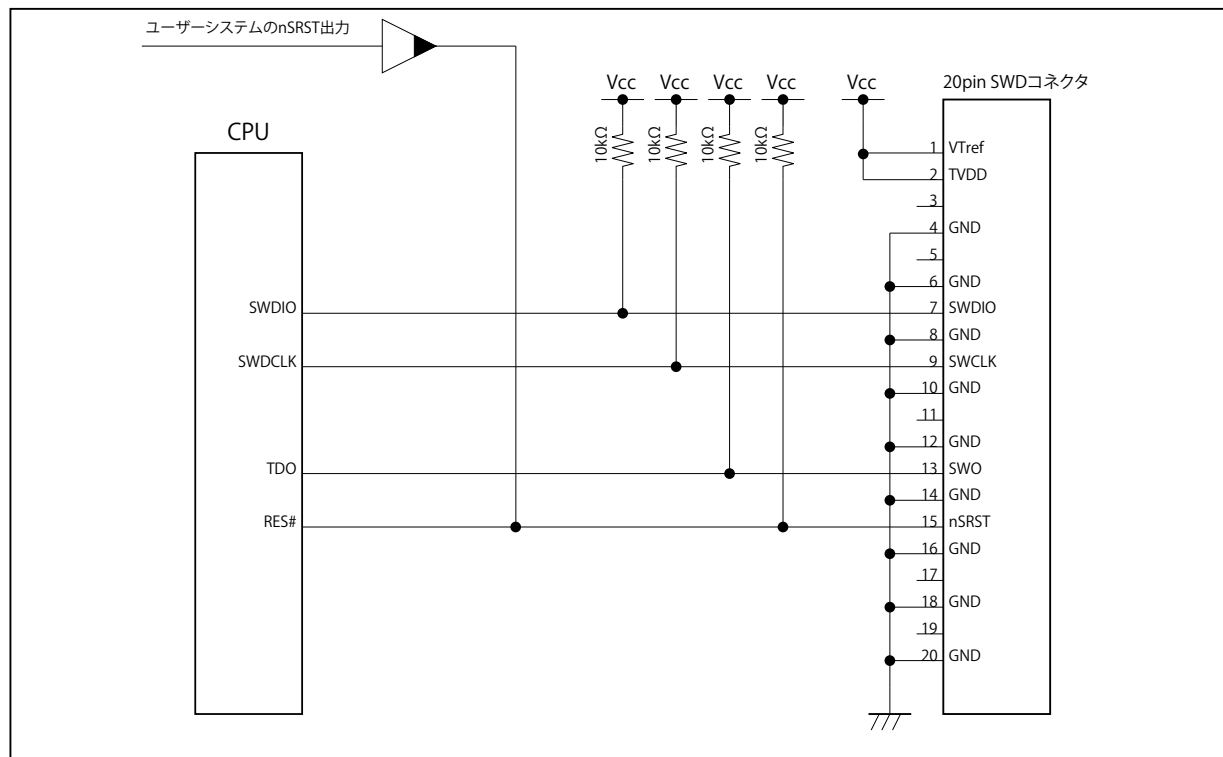
(基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
住友 3M	7620-6002PL
住友 3M	7620-6002BL
ヒロセ電機	HIF3FC-20PA-2.54DSA(71)
オムロン	XG4C-2031

図 3-4. 20ピン SWD コネクタの接続例



- ・図 3-4 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・CPU と SWD コネクタ間の配線長はできるだけ短くして下さい。
- ・SWD コネクタの 2 ピンは未接続でも問題ありません。
- ・本インターフェイスでは TRST# を使用しません。デバッグ使用時は TRST# 端子が Hi レベルになるよう処理して下さい。

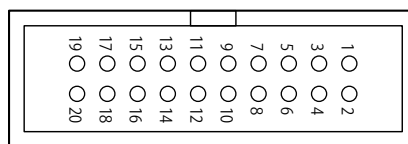
3-3. 20ピン 1.27mm ピッチ JTAG インターフェース

表 3-3 20ピン JTAG インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	TMS	入出力
3	GND	—	4	TCK	出力
5	GND	—	6	TDO	入力
7	Key	—	8	TDI	出力
9	GND	—	10	nSRST	入出力
11	N.C.	—	12	TraceClk 【※ 1】	入力
13	N.C.	—	14	TraceD0 【※ 1】	入力
15	GND	—	16	TraceD1 【※ 1】	入力
17	GND	—	18	TraceD2 【※ 1】	入力
19	GND	—	20	TraceD3 【※ 1】	入力

・入出力はデバッグ側から見た方向を表します。
 【※ 1】 本製品では使用していません。

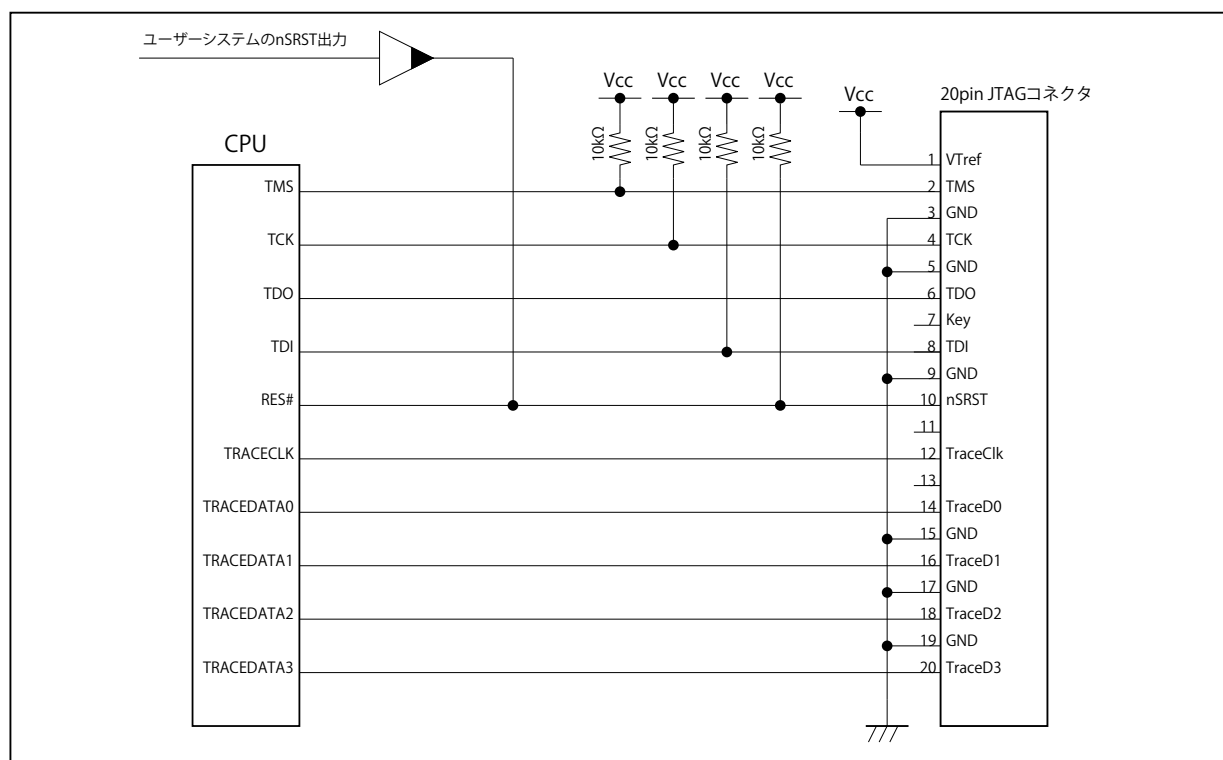
図 3-5. 20ピン JTAG インターフェース
 (基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-110-01-L-DV-K

図 3-6. 20ピン JTAG コネクタの接続例



- ・図 3-6 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・CPU と JTAG コネクタ間の配線長はできるだけ短くして下さい。
- ・本インターフェイスでは TRST# を使用しません。デバッグ使用時は TRST# 端子が Hi レベルになるよう処理して下さい。
- ・Trace 信号は本製品では使用していませんが、他の Trace 対応のデバッグで使用できるよう信号を接続しておく事を推奨します。

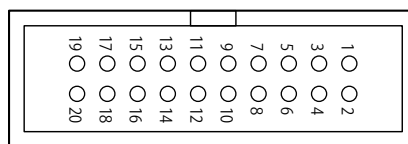
3-4. 20ピン 1.27mm ピッチ JTAG インターフェース

表 3-4 20ピン JTAG インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	TMS	入出力
3	GND	—	4	TCK	出力
5	GND	—	6	TDO	入力
7	Key	—	8	TDI	出力
9	GND	—	10	nSRST	入出力
11	GND	—	12	RTCK	入力
13	GND	—	14	N.C.	—
15	GND	—	16	nTRST	出力
17	GND	—	18	N.C.	—
19	GND	—	20	N.C.	—

・入出力はデバッグ側から見た方向を表します。

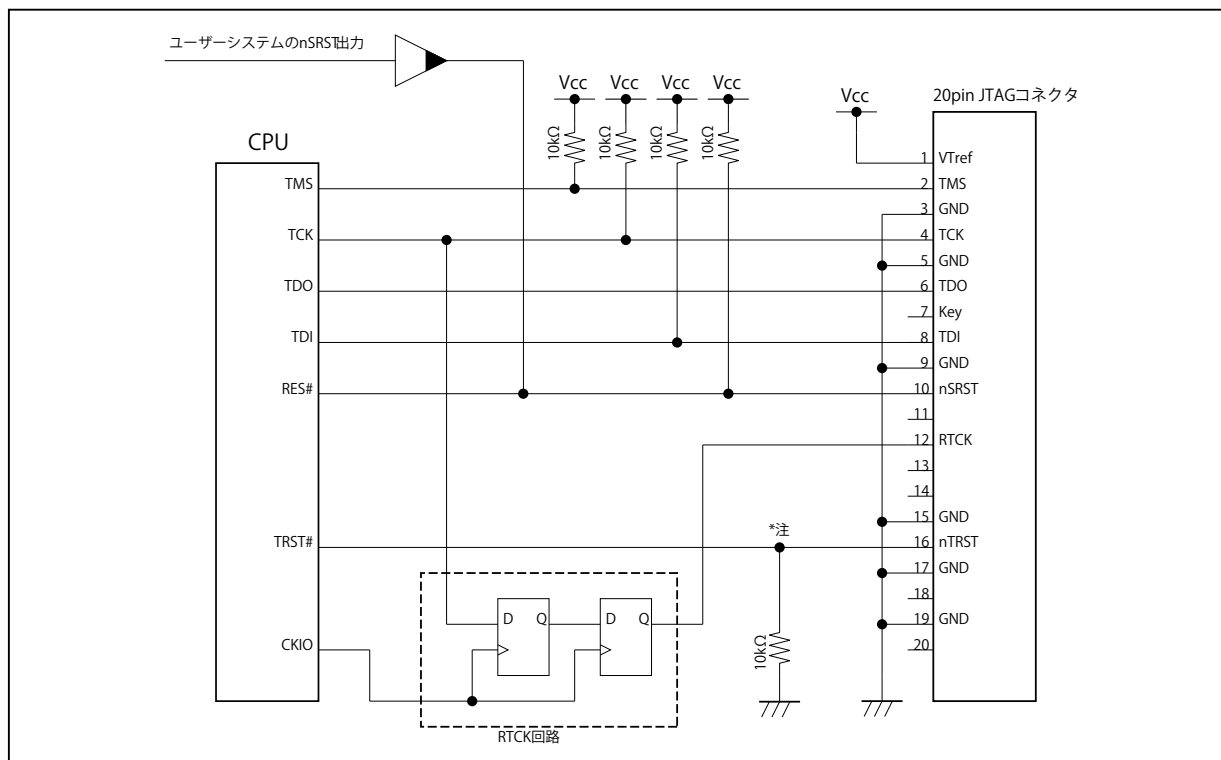
図 3-7. 20ピン JTAG インターフェース
(基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-110-01-L-DV-K

図 3-8. 20ピン JTAG コネクタの接続例



- ・図 3-8 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・CPU と JTAG コネクタ間の配線長はできるだけ短くして下さい。
- ・RTCK 端子の無い CPU では、図 3-1 の RTCK 回路を追加する事により同様の信号機能を作る事が出来ます。
- ・RTCK 端子の無い CPU では、JTAG 側の接続ピンを解放状態にしてもデバッグを使用する事が出来ます。ただその場合 CPU clock の変化に合わせた TCK 周波数の最適化機能は使用出来ません。
- ・TRST をプルダウン処理とした場合、CodeStage の環境設定で「TRST の出力」を「CMOS」にする必要があります。また、他社のエミュレータでは、起動しないことがあるので、その場合はプルアップ処理として下さい。

3-5. 20ピン 1.27mm ピッチ SWD インターフェース

表 3-5 20ピン SWD インターフェース ピン配置表

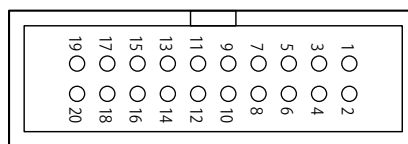
ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	SWDIO	入出力
3	GND	—	4	SWCLK	出力
5	GND	—	6	SWO	入力
7	Key	—	8	N.C.【※ 1】	—
9	GND	—	10	nSRST	入出力
11	GND	—	12	TraceClk【※ 2】	入力
13	GND	—	14	TraceD0【※ 2】	入力
15	GND	—	16	TraceD1【※ 2】	入力
17	GND	—	18	TraceD2【※ 2】	入力
19	GND	—	20	TraceD3【※ 2】	入力

・入出力はデバッグ側から見た方向を表します。

【※ 1】 未接続にしてください。

【※ 2】 本製品では使用していません。

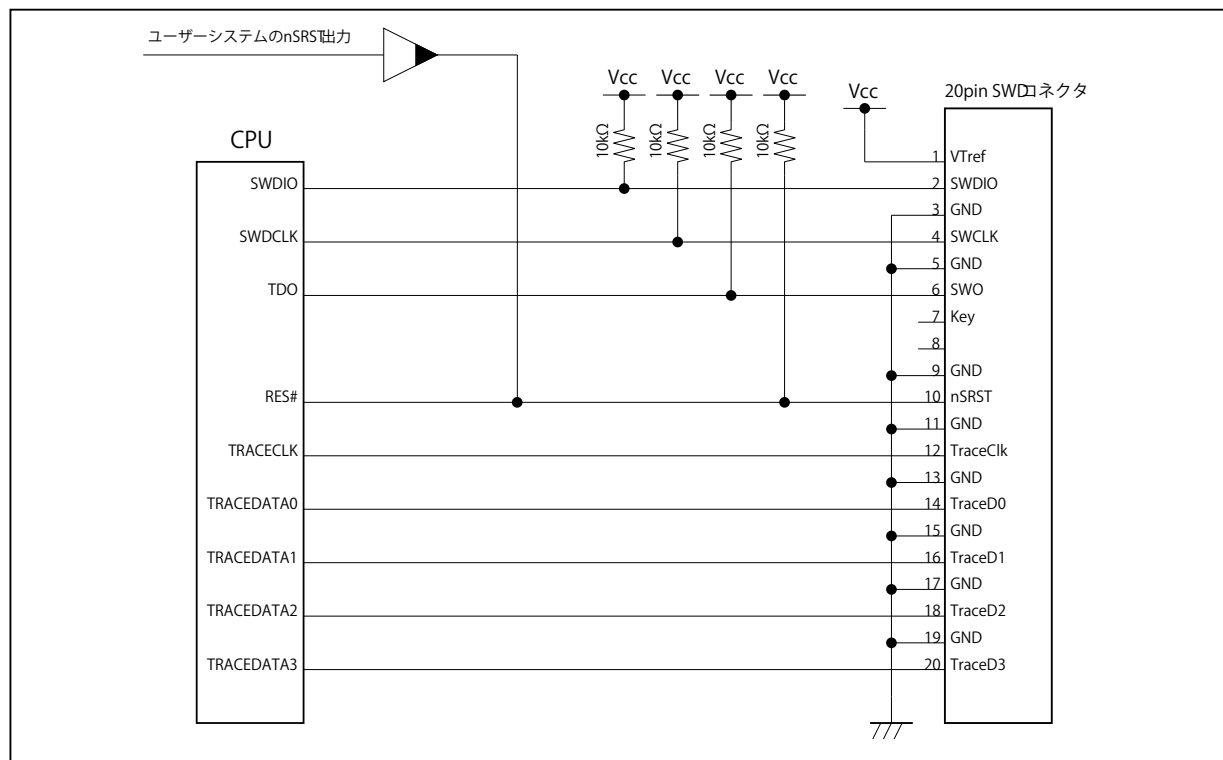
図 3-9. 20ピン SWD インターフェース
(基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-110-01-L-DV-K

図 3-10. 20ピン SWD コネクタの接続例



・図 3-10 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。

・CPU と SWD コネクタ間の配線長はできるだけ短くして下さい。

・本インターフェイスでは TRST# を使用しません。デバッグ使用時は TRST# 端子が Hi レベルになるよう処理して下さい。

・Trace 信号は本製品では使用していませんが、他の Trace 対応のデバッグで使用できるよう信号を接続しておく事を推奨します。

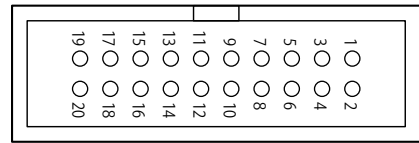
3-6. 20ピン 1.27mm ピッチ SWD インターフェース

表 3-6 20ピン SWD インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	SWDIO	入出力
3	GND	—	4	SWCLK	出力
5	GND	—	6	SWO	入力
7	Key	—	8	N.C.【※1】	—
9	GND	—	10	nSRST	入出力
11	GND	—	12	N.C.	—
13	GND	—	14	N.C.	—
15	GND	—	16	N.C.	—
17	GND	—	18	N.C.	—
19	GND	—	20	N.C.	—

・入出力はデバッグ側から見た方向を表します。
 【※1】 未接続にしてください。

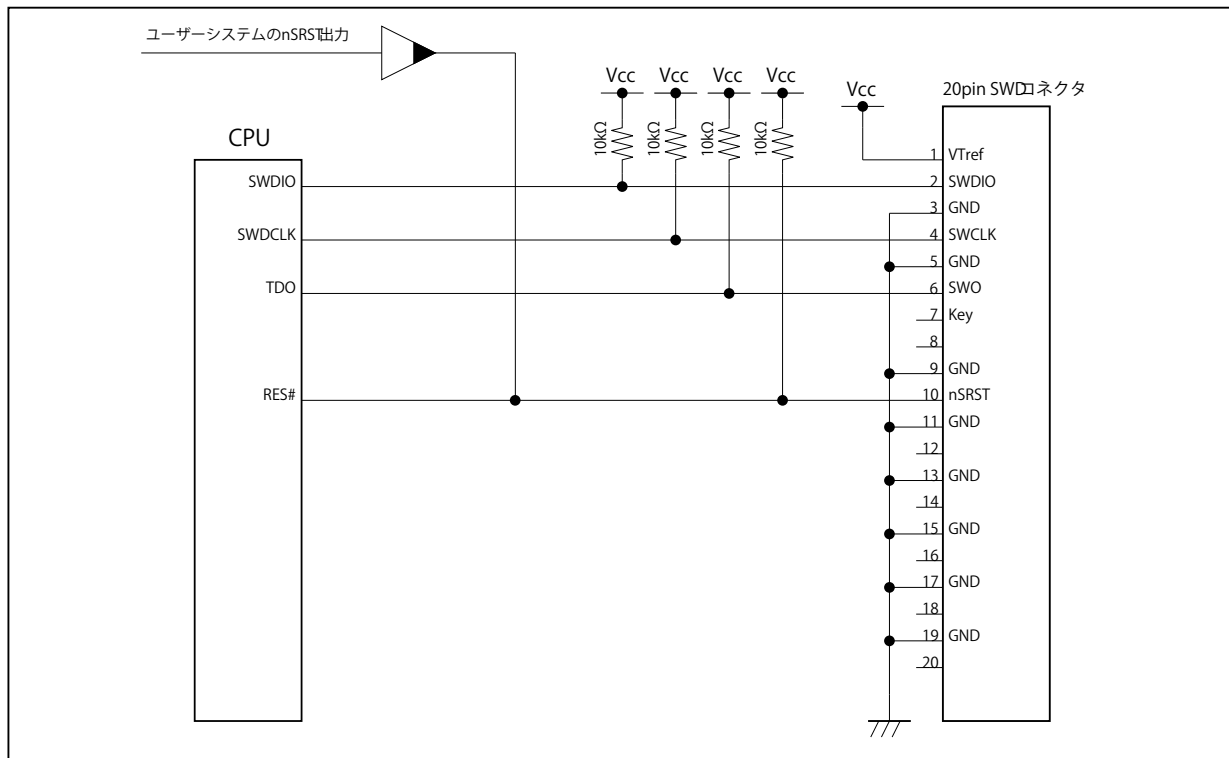
図 3-11. 20ピン SWD インターフェース
 (基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-110-01-L-DV-K

図 3-12. 20ピン SWD コネクタの接続例



- ・図 3-12 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・CPU と SWD コネクタ間の配線長はできるだけ短くして下さい。
- ・本インターフェイスでは TRST# を使用しません。デバッグ使用時は TRST# 端子が Hi レベルになるよう処理して下さい。

3-7. 10ピン 1.27mm ピッチ JTAG インターフェース

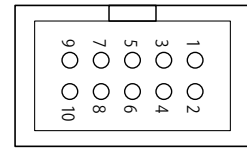
表 3-7 10ピン JTAG インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	TMS	入出力
3	GND	—	4	TCK	出力
5	GND	—	6	TDO	入力
7	Key	—	8	TDI	出力
9	GND	—	10	nSRST	入出力

・入出力はデバッガ側から見た方向を表します。

図 3-13. 10ピン JTAG インターフェース

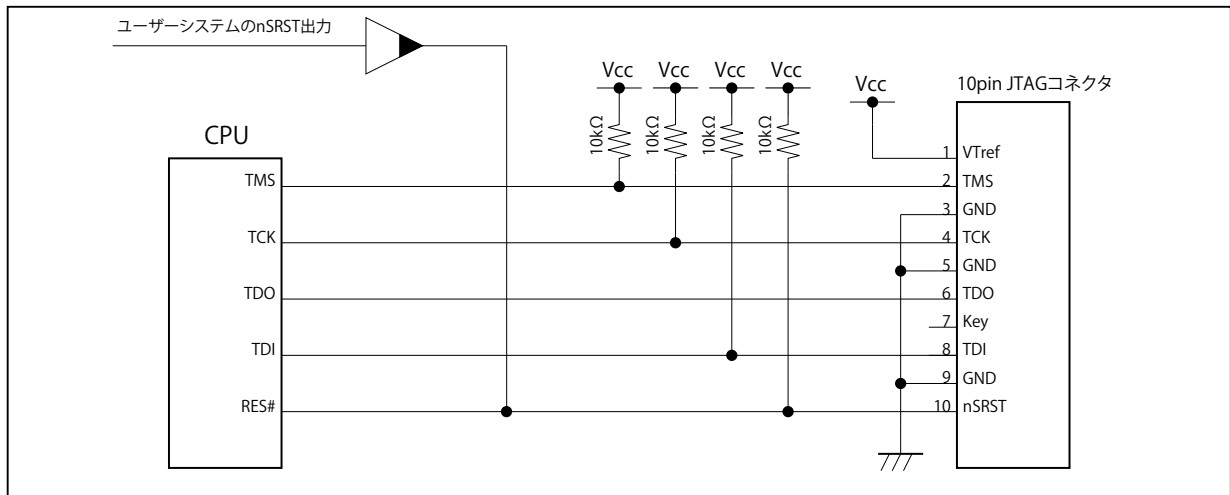
(基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-105-01-L-DV-K

図 3-14. 10ピン JTAG コネクタの接続例



- ・図 3-14 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・CPU と JTAG コネクタ間の配線長はできるだけ短くして下さい。
- ・本インターフェイスでは TRST# を使用しません。デバッガ使用時は TRST# 端子が Hi レベルになるよう処理して下さい。

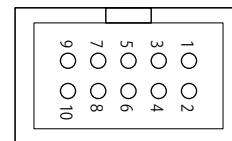
3-8. 10ピン 1.27mm ピッチ SWD インターフェース

表 3-8 10ピン SWD インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	SWDIO	入出力
3	GND	—	4	SWCLK	出力
5	GND	—	6	SWO	入力
7	Key	—	8	—【※1】	—
9	GND	—	10	nSRST	入出力

・入出力はデバッグ側から見た方向を表します。
 【※1】 未接続にしてください。

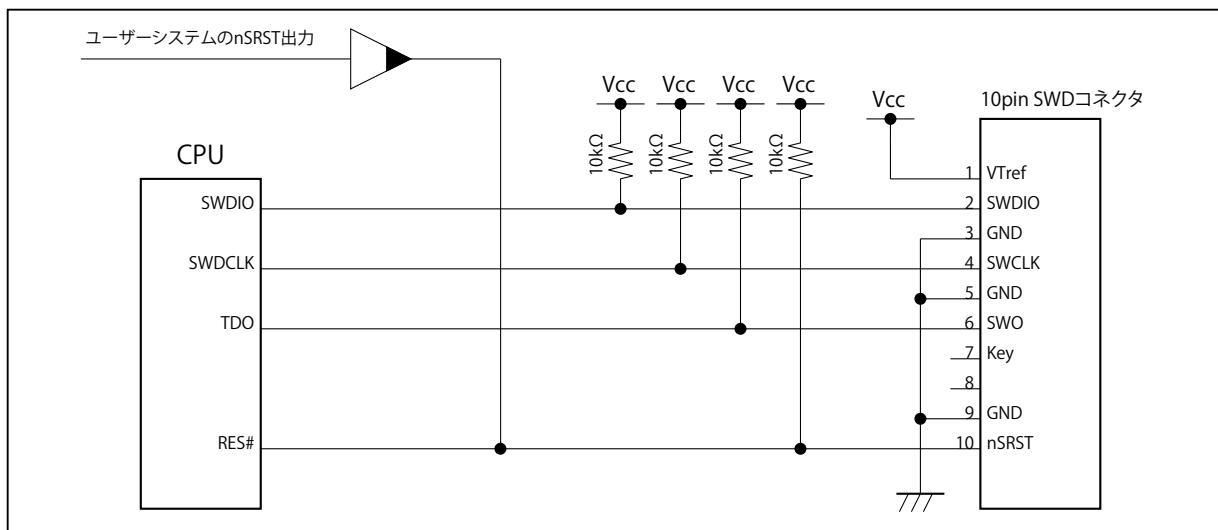
図 3-15. 10ピン SWD インターフェース
 (基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-105-01-L-DV-K

図 3-16. 10ピン SWD コネクタの接続例



- ・図 3-16 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・CPU と SWD コネクタ間の配線長はできるだけ短くして下さい。
- ・本インターフェイスでは TRST# を使用しません。デバッグ使用時は TRST# 端子が Hi レベルになるよう処理して下さい。

4. JTAG/SWD インターフェイス信号機能

表 4-1 JTAG インターフェイス 信号機能表

信号名	特性	説明
VTref	入力	JTAG 信号の入出力電圧レベルの判定に使用します。通常 CPU の I/O 電源電圧を直接接続します。
TVDD	入力	通常デバッグ装置へ電源を供給するために使用するピンです。デバッグではこのピンは接続していません。本製品ではターゲットボード上で未接続になっていても影響ありませんが、他社デバッグ装置との互換性を考えて電源電圧と接続する事を推奨致します。
nTRST	出力	CPU の nTRST 端子と接続するピンで、デバッグでは Open collector または C-MOS 出力が選択可能です。Open collector 出力の場合、ターゲットボード上の信号と WIRED OR 接続が可能ですがプルアップ抵抗を付けて下さい。デバッグの内部回路では 10k Ω でプルアップされています。
TDI	出力	CPU の TDI 端子と接続するピンで、デバッグでは出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
TMS	出力	CPU の TMS 端子と接続するピンで、デバッグでは Three-State 出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
TCK	出力	CPU の TCK 端子と接続するピンで、デバッグでは Three-State 出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
RTCK	入力	TCK の出力周期を CPU クロックに同期させるために使用する入力ピンです。デバッグの環境設定で Adaptive を選択すると RTCK の変化に追従して TCK を出力します。このピンを利用すると CPU の動作クロックに応じて TCK の周波数を最適な状態にする事が出来ます。通常 CPU の RTCK 端と接続しますが、この端子が無い CPU ではターゲットボード上に同期化回路を設けることにより同様の機能を実現する事が出来ます。この端子を利用しない場合は、GND 又は未接続にして下さい。
TDO	入力	CPU の TDO 端子と接続する入力ピンです。
nSRST	入出力	ターゲット CPU をリセットするために使う Open collector 出力です。ターゲットボード上の信号と WIRED OR 接続が可能ですがプルアップ抵抗を付けて下さい。この信号は CPU のリセット状態をモニタする入力ピンとしても使用します。デバッグの内部回路では 47k Ω でプルアップされています。
DBGRRQ	出力	デバッグでは使用していません。ターゲットボード上ではプルダウン抵抗を接続して下さい。
DBGACK	入力	デバッグでは使用していません。
GND		グラウンド信号。

※入出力はデバッグ側から見た方向を表します。

※信号名の最初についている "n" は負論理を表します。

表 4-2 SWD インターフェース 信号機能表

信号名	特性	説明
VTref	入力	JTAG 信号の入出力電圧レベルの判定に使用します。通常 CPU の I/O 電源電圧を直接接続します。
SWDIO	入出力	CPU の SWDIO 端子と接続するピンで、デバグでは入力及び Three-State 出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
SWCLK	出力	CPU の TCK 端子と接続するピンで、デバグでは Three-State 出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
SWO	入力	CPU の SWO 端子と接続する入力ピンです。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
nSRST	入出力	ターゲット CPU をリセットするために使う Open collector 出力です。ターゲットボード上の信号と WIRED OR 接続が可能ですがプルアップ抵抗を付けて下さい。この信号は CPU のリセット状態をモニタする入力ピンとしても使用します。デバグの内部回路では 47k Ω でプルアップされています。
Key		コネクタ逆差し防止のキーです。デバグでは使用していません。
GND		グラウンド信号。

※入出力はデバグ側から見た方向を表します。

※信号名の最初についている "n" は負論理を表します。

5. 改版履歴

第1版：2015. 1/7 初版

第2版：2015. 3/19 ・TRST の処理に説明文を追加

□ R-IN32M3 シリーズ

■ R-IN32M3-CL, R-IN32M3-EC

1. 仕様

- ・対象 CPU : R-IN32M3-CL, R-IN32M3-EC
- ・JTAG 動作周波数 : 1KHz ~ 60MHz 及び RTCK 追従対応
- ・SWD 動作周波数 : 1KHz ~ 60MHz
- ・JTAG/SWD 動作電圧 : DW-A1, DS-A1 本体 1.2V ~ 5.5V
- ・インターフェイス : 2.54mm ピッチ 20 ピン コネクタ
ハーフピッチ 1.27mm 20 ピンコネクタ【注1】
ハーフピッチ 1.27mm 10 ピンコネクタ【注2】
【注1】ハーフピッチ 1.27mm 20 ピンコネクタ変換ケーブル (型番: DSC-A1-AH20) はオプションです。
【注2】ハーフピッチ 1.27mm 10 ピンコネクタ変換ケーブル (型番: DSC-A1-AH10) はオプションです。
- ・適用本体 : DW-A1 本体
: DS-A1 本体

2. 使用上の注意・制限事項

- (1) デバッガとターゲットを脱着する場合、かならず双方の電源を OFF にした状態で行ってください。
- (2) JTAG/SWD コネクタの GND 端子は全てターゲットの GND へ接続して下さい。未接続のピンがあると動作が不安定になる場合があります。
- (3) CPU がブレーク状態の時、全ての割り込み要求は受け付ける事が出来ません。
- (4) CPU のウォッチドッグタイマは、ブレーク中でも動作する物がありますので、デバッグ中は OFF にして下さい。
- (5) 電源を入れる場合、最初にデバッガ本体、次にターゲットの順で行ってください。

3. コネクタのピン配置と接続例

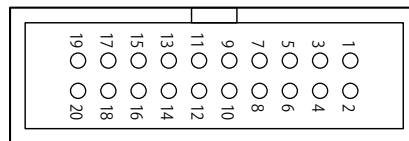
3-1. 20ピン 2.54mm ピッチ JTAG インターフェース

表 3-1 20ピン JTAG インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	TVDD【※1】	入出力
3	nTRST	出力	4	GND	—
5	TDI	出力	6	GND	—
7	TMS	出力	8	GND	—
9	TCK	出力	10	GND	—
11	RTCK	入力	12	GND	—
13	TDO	入力	14	GND	—
15	nSRST	入出力	16	GND	—
17	DBGQRQ【※1】	出力	18	GND	—
19	DBGACK【※1】	入力	20	GND	—

・入出力はデバッグ側から見た方向を表します。
 【※1】 本製品では使用していません。

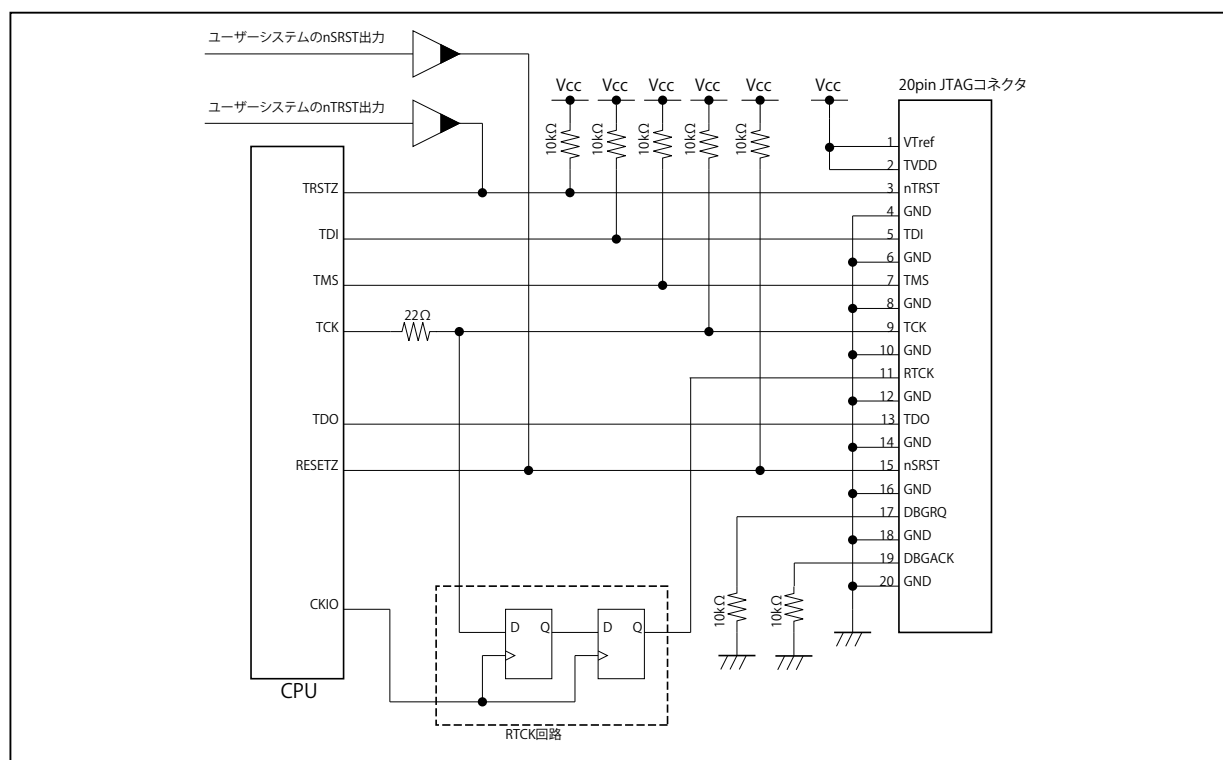
図 3-1. 20ピン JTAG インターフェース
 (基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
住友 3M	7620-6002PL
住友 3M	7620-6002BL
ヒロセ電機	HIF3FC-20PA-2.54DSA(71)
オムロン	XG4C-2031

図 3-2. 20ピン JTAG コネクタの接続例



- ・図 3-2 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・CPU と JTAG コネクタ間の配線長はできるだけ短くして下さい。
- ・JTAG コネクタの 2 ピンは未接続でも問題ありません。
- ・DBGQRQ, DBGACK 端子は JTAG 側の接続ピンを解放状態にしても問題ありません。
- ・RTCK 端子の無い CPU では、図 3-2 の RTCK 回路を追加する事により同様の信号機能を作る事が出来ます。
- ・RTCK 端子の無い CPU では、JTAG 側の接続ピンを解放状態にしてもデバッグを使用する事が出来ます。ただその場合 CPU clock の変化に合わせた TCK 周波数の最適化機能は使用出来ません。

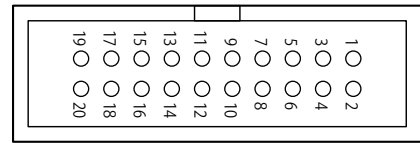
3-2. 20ピン 2.54mm ピッチ SWD インターフェース

表 3-2 20ピン SWD インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	TVDD【※1】	入出力
3	N.C.	—	4	GND	—
5	N.C.【※1】	—	6	GND	—
7	SWDIO	入出力	8	GND	—
9	SWCLK	出力	10	GND	—
11	N.C.	—	12	GND	—
13	SWO	入力	14	GND	—
15	nSRST	入出力	16	GND	—
17	N.C.	—	18	GND	—
19	N.C.	—	20	GND	—

・入出力はデバッグ側から見た方向を表します。
 【※1】 本製品では使用していません。
 【※2】 未接続にしてください。

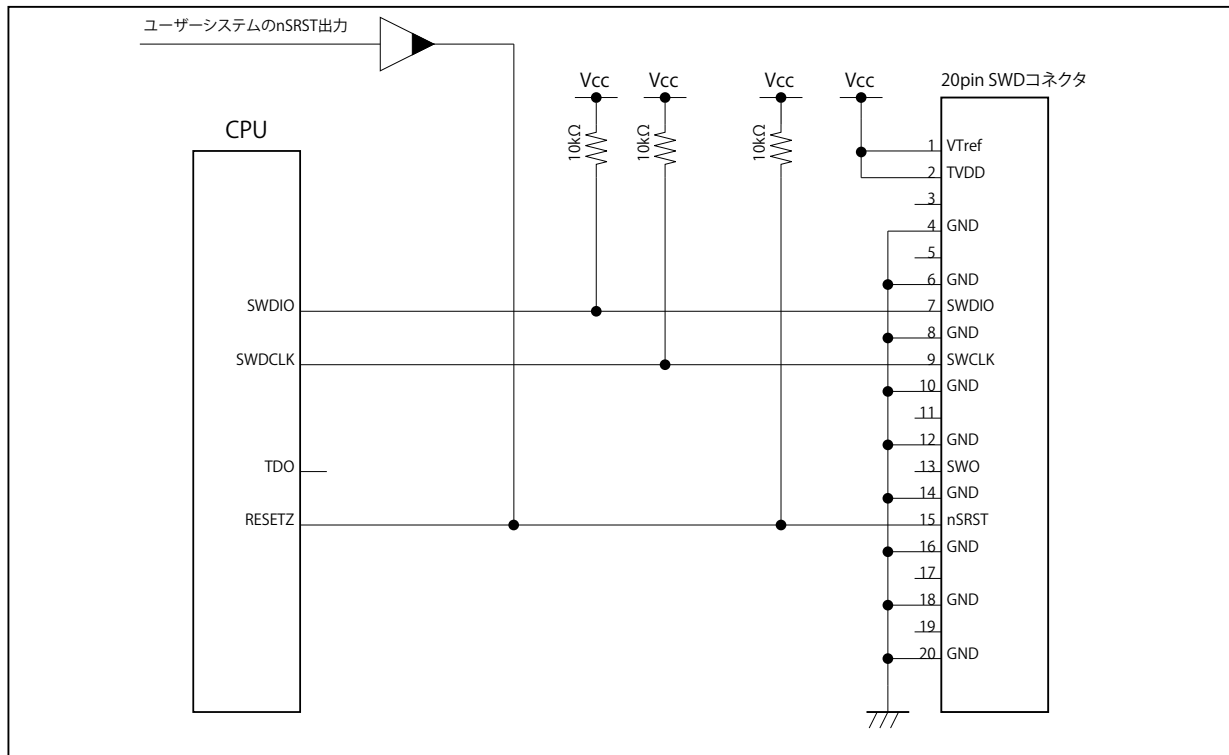
図 3-3. 20ピン SWD インターフェース
 (基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
住友 3M	7620-6002PL
住友 3M	7620-6002BL
ヒロセ電機	HIF3FC-20PA-2.54DSA(71)
オムロン	XG4C-2031

図 3-4. 20ピン SWD コネクタの接続例



- ・図 3-4 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・CPU と SWD コネクタ間の配線長はできるだけ短くして下さい。
- ・SWD コネクタの 2 ピンは未接続でも問題ありません。
- ・本インターフェイスでは TRSTZ を使用しません。抵抗によるプルアップ処理を行って下さい。

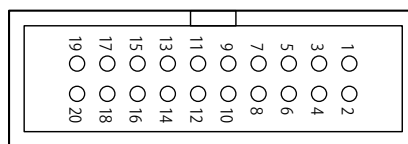
3-3. 20ピン 1.27mm ピッチ JTAG インターフェース

表 3-3 20ピン JTAG インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	TMS	入出力
3	GND	—	4	TCK	出力
5	GND	—	6	TDO	入力
7	Key	—	8	TDI	出力
9	GND	—	10	nSRST	入出力
11	N.C.	—	12	TraceClk 【※ 1】	入力
13	N.C.	—	14	TraceD0 【※ 1】	入力
15	GND	—	16	TraceD1 【※ 1】	入力
17	GND	—	18	TraceD2 【※ 1】	入力
19	GND	—	20	TraceD3 【※ 1】	入力

・入出力はデバッグ側から見た方向を表します。
 【※ 1】 本製品では使用していません。

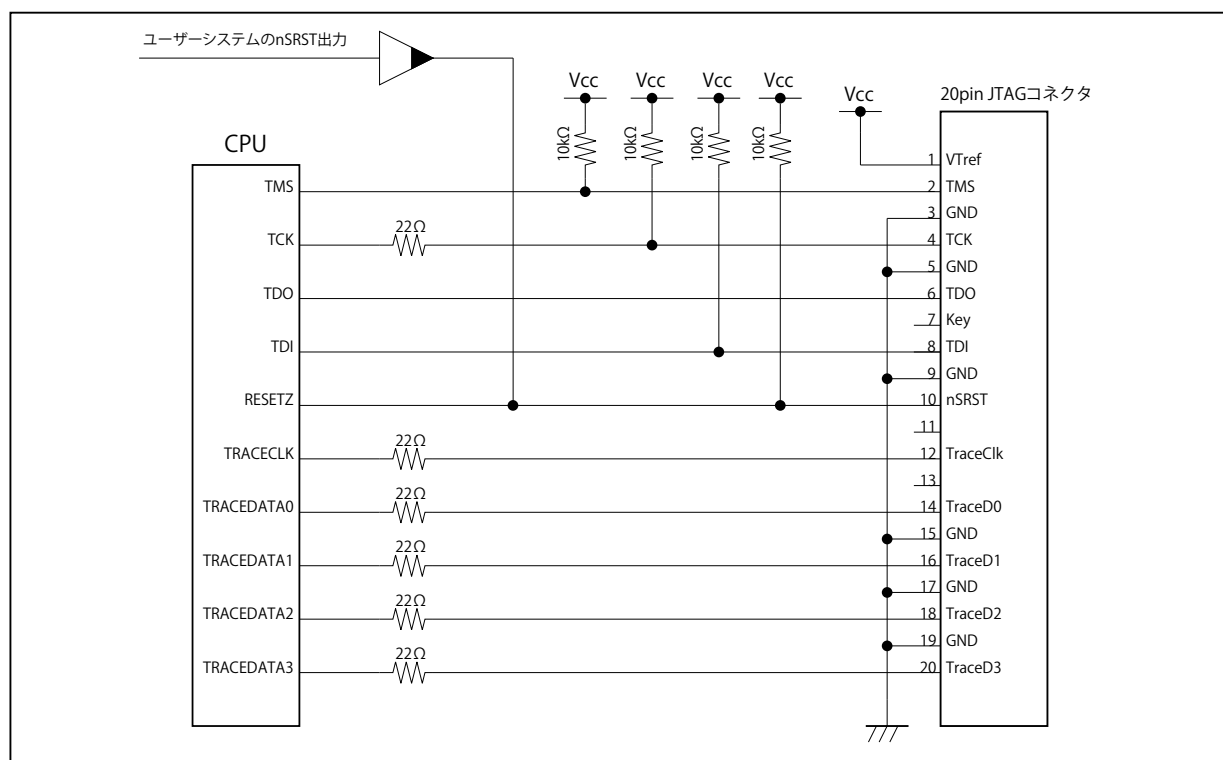
図 3-5. 20ピン JTAG インターフェース
 (基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-110-01-L-DV-K

図 3-6. 20ピン JTAG コネクタの接続例



- ・図 3-6 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・CPU と JTAG コネクタ間の配線長はできるだけ短くして下さい。
- ・本インターフェイスでは TRSTZ を使用しません。抵抗によるプルアップ処理を行って下さい。
- ・Trace 信号は本製品では使用していませんが、他の Trace 対応のデバッグで使えるよう信号を接続しておく事を推奨します。

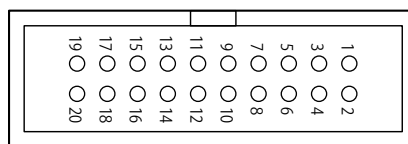
3-4. 20ピン 1.27mm ピッチ JTAG インターフェース

表 3-4 20ピン JTAG インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	TMS	入出力
3	GND	—	4	TCK	出力
5	GND	—	6	TDO	入力
7	Key	—	8	TDI	出力
9	GND	—	10	nSRST	入出力
11	GND	—	12	RTCK	入力
13	GND	—	14	N.C.	—
15	GND	—	16	nTRST	出力
17	GND	—	18	N.C.	—
19	GND	—	20	N.C.	—

・入出力はデバッグ側から見た方向を表します。

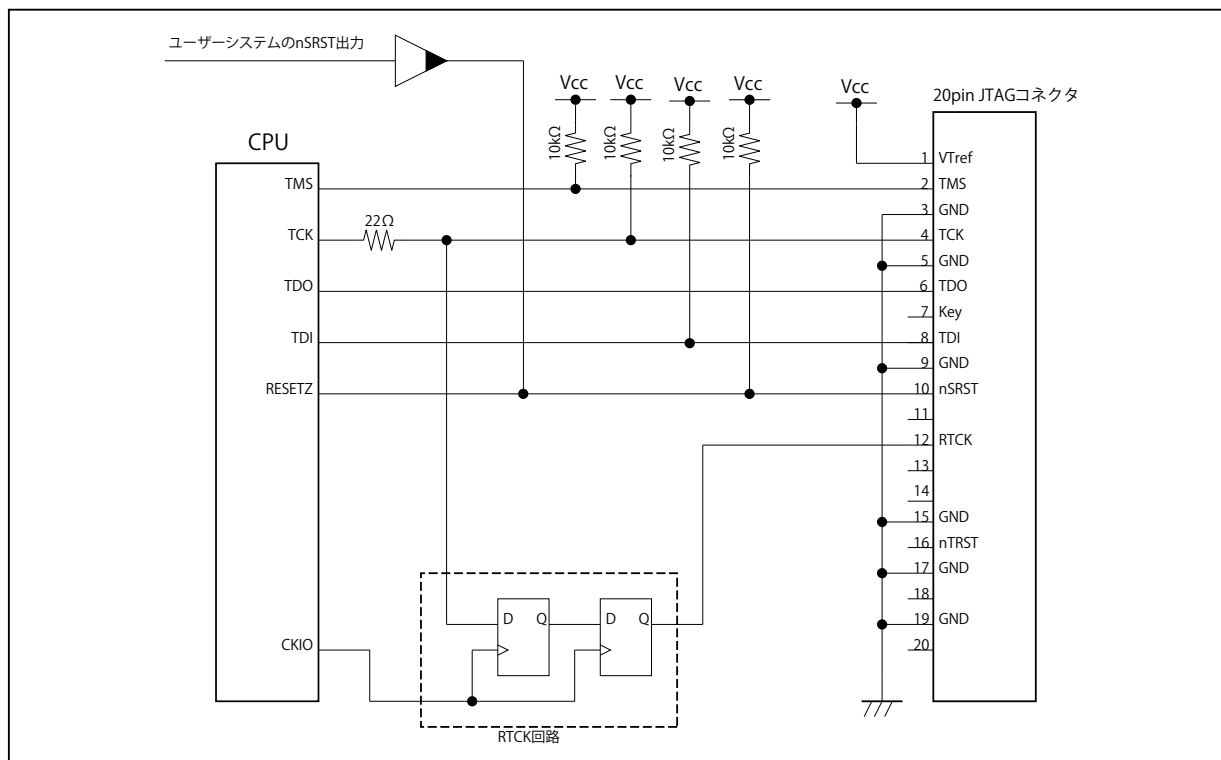
図 3-7. 20ピン JTAG インターフェース
(基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-110-01-L-DV-K

図 3-8. 20ピン JTAG コネクタの接続例



- ・図 3-8 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・CPU と JTAG コネクタ間の配線長はできるだけ短くして下さい。
- ・RTCK 端子の無い CPU では、図 3-8 の RTCK 回路を追加する事により同様の信号機能を作る事が出来ます。
- ・RTCK 端子の無い CPU では、JTAG 側の接続ピンを解放状態にしてもデバッグを使用する事が出来ます。ただその場合 CPU clock の変化に合わせた TCK 周波数の最適化機能は使用出来ません。
- ・本インターフェイスでは TRSTZ を使用しません。抵抗によるプルアップ処理を行って下さい。

3-5. 20ピン 1.27mm ピッチ SWD インターフェース

表 3-5 20ピン SWD インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	SWDIO	入出力
3	GND	—	4	SWCLK	出力
5	GND	—	6	SWO	入力
7	Key	—	8	N.C.【※ 1】	—
9	GND	—	10	nSRST	入出力
11	GND	—	12	TraceClk【※ 2】	入力
13	GND	—	14	TraceD0【※ 2】	入力
15	GND	—	16	TraceD1【※ 2】	入力
17	GND	—	18	TraceD2【※ 2】	入力
19	GND	—	20	TraceD3【※ 2】	入力

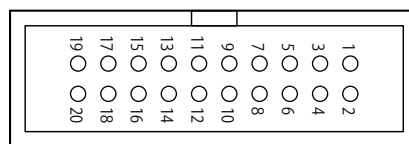
・入出力はデバッグ側から見た方向を表します。

【※ 1】 未接続にしてください。

【※ 2】 本製品では使用していません。

図 3-9. 20ピン SWD インターフェース

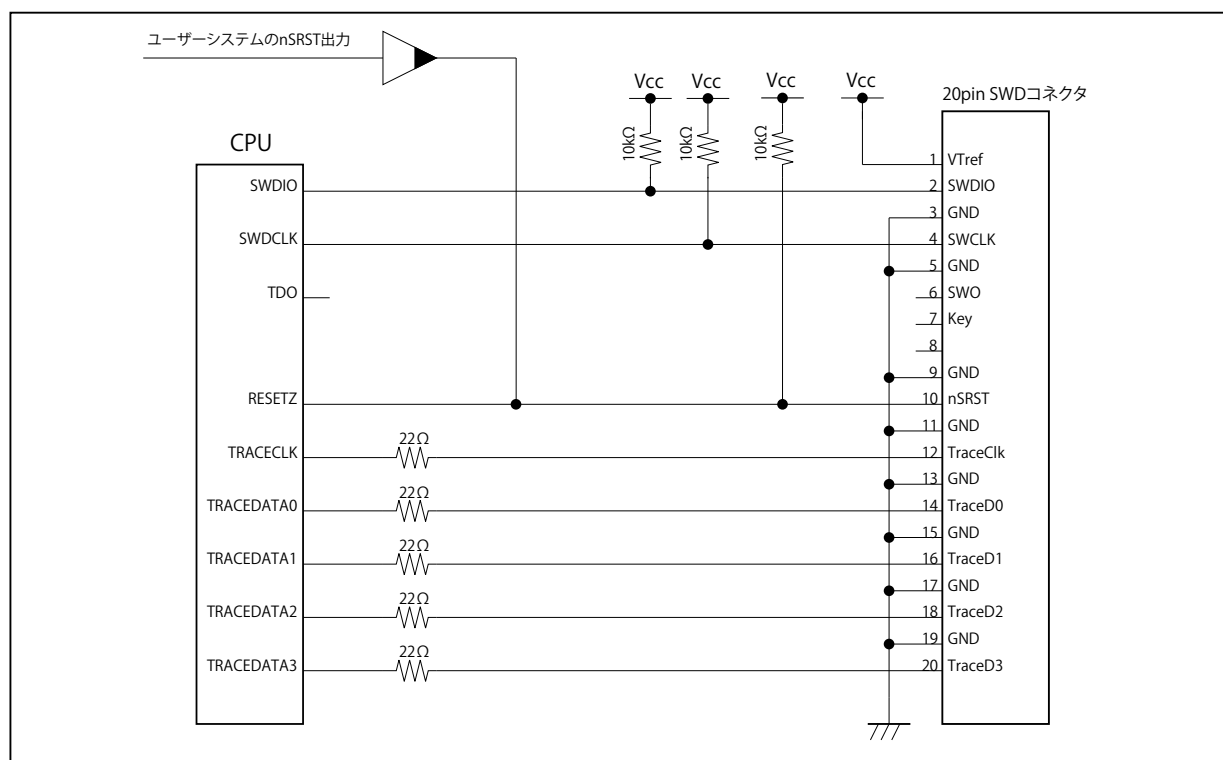
(基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-110-01-L-DV-K

図 3-10. 20ピン SWD コネクタの接続例



・図 3-10 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。

・CPU と SWD コネクタ間の配線長はできるだけ短くして下さい。

・本インターフェイスでは TRSTZ を使用しません。抵抗によるプルアップ処理を行って下さい。

・Trace 信号は本製品では使用していませんが、他の Trace 対応のデバッグで使用できるよう信号を接続しておく事を推奨します。

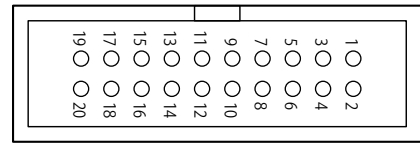
3-6. 20ピン 1.27mm ピッチ SWD インターフェース

表 3-6 20ピン SWD インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	SWDIO	入出力
3	GND	—	4	SWCLK	出力
5	GND	—	6	SWO	入力
7	Key	—	8	N.C.【※1】	—
9	GND	—	10	nSRST	入出力
11	GND	—	12	N.C.	—
13	GND	—	14	N.C.	—
15	GND	—	16	N.C.	—
17	GND	—	18	N.C.	—
19	GND	—	20	N.C.	—

・入出力はデバッグ側から見た方向を表します。
 【※1】 未接続にしてください。

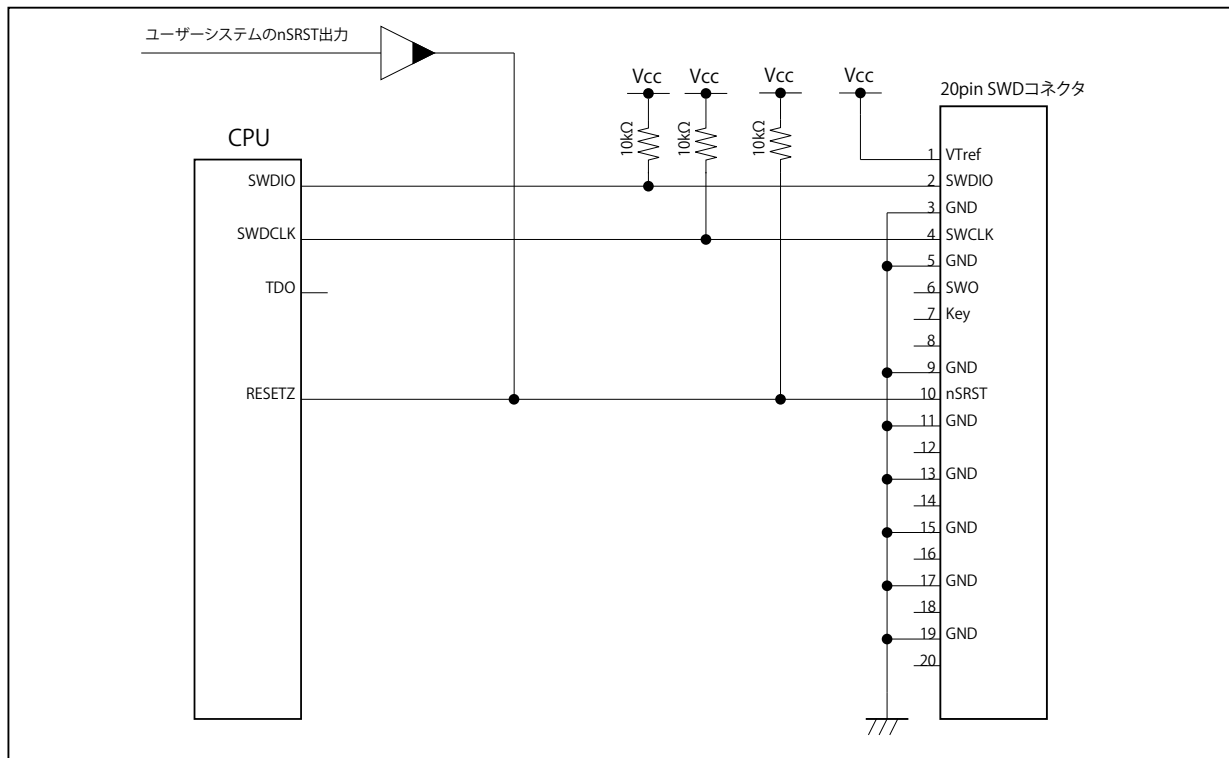
図 3-11. 20ピン SWD インターフェース
 (基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-110-01-L-DV-K

図 3-12. 20ピン SWD コネクタの接続例



- ・図 3-12 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・CPU と SWD コネクタ間の配線長はできるだけ短くして下さい。
- ・本インターフェイスでは TRSTZ を使用しません。抵抗によるプルアップ処理を行って下さい。

3-7. 10ピン 1.27mm ピッチ JTAG インターフェース

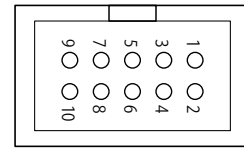
表 3-7 10ピン JTAG インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	TMS	入出力
3	GND	—	4	TCK	出力
5	GND	—	6	TDO	入力
7	Key	—	8	TDI	出力
9	GND	—	10	nSRST	入出力

・入出力はデバッグ側から見た方向を表します。

図 3-13. 10ピン JTAG インターフェース

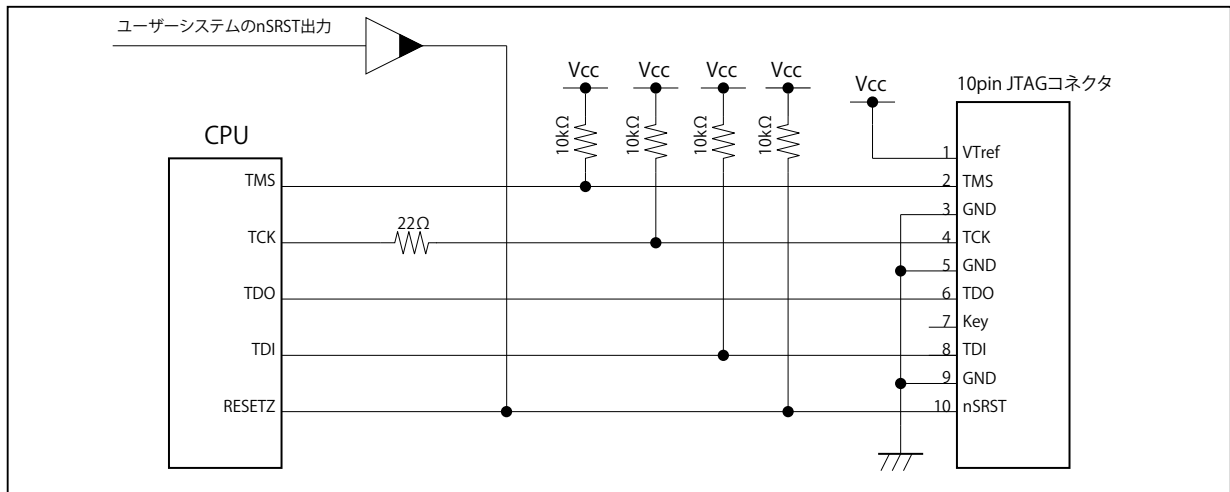
(基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-105-01-L-DV-K

図 3-14. 10ピン JTAG コネクタの接続例



- ・図 3-14 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・CPU と JTAG コネクタ間の配線長はできるだけ短くして下さい。
- ・本インターフェイスでは TRSTZ を使用しません。抵抗によるプルアップ処理を行って下さい。

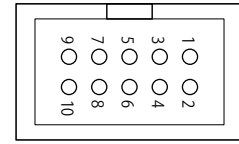
3-8. 10ピン 1.27mm ピッチ SWD インターフェース

表 3-8 10ピン SWD インターフェース ピン配置表

ピン番号	信号名	入出力	ピン番号	信号名	入出力
1	VTref	入出力	2	SWDIO	入出力
3	GND	—	4	SWCLK	出力
5	GND	—	6	SWO	入力
7	Key	—	8	—【※1】	—
9	GND	—	10	nSRST	入出力

・入出力はデバッグ側から見た方向を表します。
 【※1】 未接続にしてください。

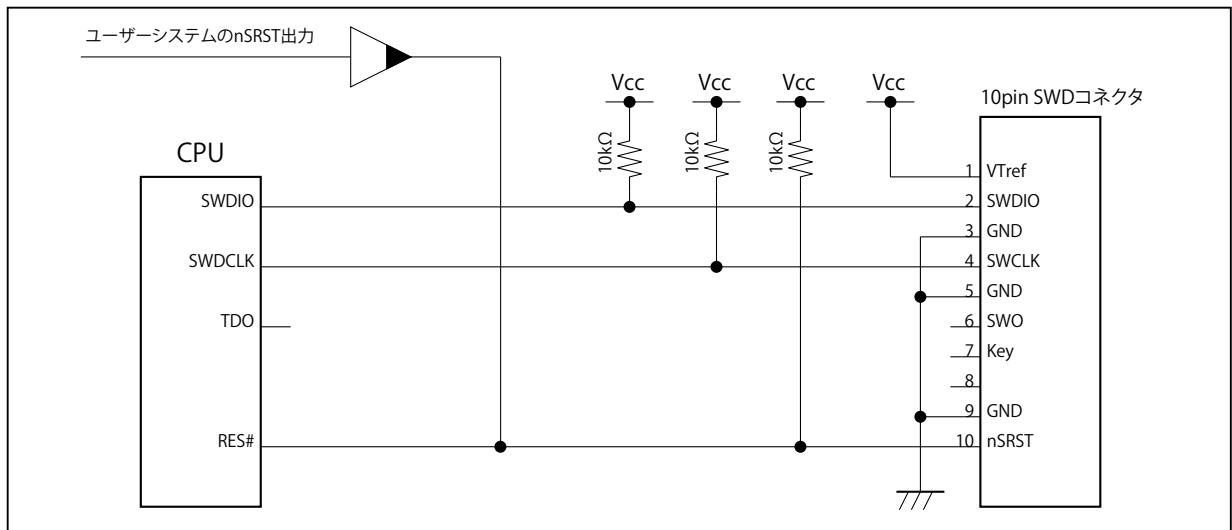
図 3-15. 10ピン SWD インターフェース
 (基板実装面から見たピン配置図)



推奨コネクタ型名

メーカー名	型名
Samtec, Inc	FTSH-105-01-L-DV-K

図 3-16. 10ピン SWD コネクタの接続例



- ・図 3-16 に記載されている抵抗値は参考値です。ご利用するターゲットボードに合わせて調整して下さい。
- ・CPU と SWD コネクタ間の配線長はできるだけ短くして下さい。
- ・本インターフェイスでは TRSTZ を使用しません。抵抗によるプルアップ処理を行って下さい。

4. JTAG/SWD インターフェイス信号機能

表 4-1 JTAG インターフェイス 信号機能表

信号名	特性	説明
VTref	入力	JTAG 信号の入出力電圧レベルの判定に使用します。通常 CPU の I/O 電源電圧を直接接続します。
TVDD	入力	通常デバッグ装置へ電源を供給するために使用するピンです。デバッグではこのピンは接続していません。本製品ではターゲットボード上で未接続になっていても影響ありませんが、他社デバッグ装置との互換性を考えて電源電圧と接続する事を推奨致します。
nTRST	出力	CPU の nTRST 端子と接続するピンで、デバッグでは Open collector または C-MOS 出力が選択可能です。Open collector 出力の場合、ターゲットボード上の信号と WIRED OR 接続が可能ですがプルアップ抵抗を付けて下さい。デバッグの内部回路では 10k Ω でプルアップされています。
TDI	出力	CPU の TDI 端子と接続するピンで、デバッグでは出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
TMS	出力	CPU の TMS 端子と接続するピンで、デバッグでは Three-State 出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
TCK	出力	CPU の TCK 端子と接続するピンで、デバッグでは Three-State 出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
RTCK	入力	TCK の出力周期を CPU クロックに同期させるために使用する入力ピンです。デバッグの環境設定で Adaptive を選択すると RTCK の変化に追従して TCK を出力します。このピンを利用すると CPU の動作クロックに応じて TCK の周波数を最適な状態にする事が出来ます。通常 CPU の RTCK 端と接続しますが、この端子が無い CPU ではターゲットボード上に同期化回路を設けることにより同様の機能を実現する事が出来ます。この端子を利用しない場合は、GND 又は未接続にして下さい。
TDO	入力	CPU の TDO 端子と接続する入力ピンです。
nSRST	入出力	ターゲット CPU をリセットするために使う Open collector 出力です。ターゲットボード上の信号と WIRED OR 接続が可能ですがプルアップ抵抗を付けて下さい。この信号は CPU のリセット状態をモニタする入力ピンとしても使用します。デバッグの内部回路では 47k Ω でプルアップされています。
DBGRRQ	出力	デバッグでは使用していません。ターゲットボード上ではプルダウン抵抗を接続して下さい。
DBGACK	入力	デバッグでは使用していません。
GND		グラウンド信号。

※入出力はデバッグ側から見た方向を表します。

※信号名の最初についでいる "n" は負論理を表します。

表 4-2 SWD インターフェース 信号機能表

信号名	特性	説明
VTref	入力	JTAG 信号の入出力電圧レベルの判定に使用します。通常 CPU の I/O 電源電圧を直接接続します。
SWDIO	入出力	CPU の SWDIO 端子と接続するピンで、デバグガでは入力及び Three-State 出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
SWCLK	出力	CPU の TCK 端子と接続するピンで、デバグガでは Three-State 出力です。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
SWO	入力	CPU の SWO 端子と接続する入力ピンです。ターゲットボード上ではプルアップ抵抗を接続する事を推奨します。
nSRST	入出力	ターゲット CPU をリセットするために使う Open collector 出力です。ターゲットボード上の信号と WIRED OR 接続が可能ですがプルアップ抵抗を付けて下さい。この信号は CPU のリセット状態をモニタする入力ピンとしても使用します。デバグガの内部回路では 47k Ω でプルアップされています。
Key		コネクタ逆差し防止のキーです。デバグガでは使用していません。
GND		グラウンド信号。

※入出力はデバグガ側から見た方向を表します。

※信号名の最初についている "n" は負論理を表します。

5. 改版履歴

第1版：2015. 3/19 初版

JTAG/SWD プローブ技術資料
RZ ファミリ &R-IN Engine 編

発行年月日 2015 年 3 月 Rev2 発行

発行所 ビットラン株式会社
〒 361-0056 埼玉県行田市持田 2213
TEL 048-554-7471 (代)
